

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 2 年 1 1 月 2 5 日  
Date of Application:

出 願 番 号                      特 願 2 0 0 2 - 3 4 1 5 0 7  
Application Number:

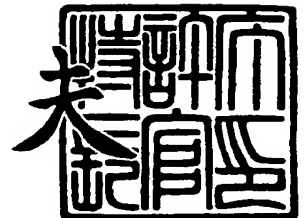
[ST. 10/C]:                      [ J P 2 0 0 2 - 3 4 1 5 0 7 ]

出 願 人                      シャープ株式会社  
Applicant(s):

2 0 0 3 年    9 月 2 4 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康



出証番号    出証特 2 0 0 3 - 3 0 7 8 2 7 3

【書類名】 特許願

【整理番号】 02J03680

【提出日】 平成14年11月25日

【あて先】 特許庁長官 殿

【国際特許分類】 H03K 5/13

H03K 19/20

H01L 21/82

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 米丸 政司

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100078282

【弁理士】

【氏名又は名称】 山本 秀策

【選任した代理人】

【識別番号】 100062409

【弁理士】

【氏名又は名称】 安村 高明

【選任した代理人】

【識別番号】 100107489

【弁理士】

【氏名又は名称】 大塩 竹志

【手数料の表示】

【予納台帳番号】 001878

【納付金額】 21,000円

**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【包括委任状番号】** 0208587

**【その他】** 国等の委託研究の成果に係る特許出願（平成13年度新エネルギー・産業技術総合開発機構からの委託研究「極低電力情報端末用LSIの研究開発」、産業活力再生特別措置法第30条の適用を受けるもの

**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 半導体集積回路およびその製造方法

【特許請求の範囲】

【請求項 1】 パストランジスタ論理ネットワークを構成する複数のトランジスタからなる第 1 セルと、直列接続された二つの PMOS トランジスタおよび直列接続された二つの NMOS トランジスタからなる第 2 セルとがスタンダードセル方式またはゲートアレイ方式により組み合わされて各セル内および各セル間で所定の配線が為されて構成された半導体集積回路。

【請求項 2】 前記第 1 セルが論理演算回路として構成され、前記第 2 セルが、該論理演算回路を駆動するドライバ回路および該論理演算回路から出力されたデータを保持するデータ保持回路の少なくとも何れかの回路として構成された請求項 1 記載の半導体集積回路。

【請求項 3】 前記第 1 セルは、NMOS トランジスタおよび PMOS トランジスタの何れかによって構成されている請求項 1 または 2 記載の半導体集積回路。

【請求項 4】 前記第 1 セルは、NMOS トランジスタおよび PMOS トランジスタの両タイプによって構成されている請求項 1 または 2 記載の半導体集積回路。

【請求項 5】 前記第 1 セルは、所定値より高しきい値のトランジスタによって構成されている請求項 1 ～ 4 の何れかに記載の半導体集積回路。

【請求項 6】 前記第 2 セルとして、前記直列接続された PMOS トランジスタのソース側を第 1 電源電圧  $V_{dd}$  に接続し、前記直列接続された NMOS トランジスタのソース側を第 2 電源電圧  $V_{ss}$  に接続し、該ソース側の PMOS トランジスタのゲートと該ソース側の NMOS トランジスタのゲートとが入力端子に接続され、ドレイン側の PMOS トランジスタのゲートとドレイン側の NMOS トランジスタのゲートとがそれぞれ各ゲート制御信号入力端子にそれぞれ接続され、該ドレイン側の PMOS トランジスタのドレインと該ドレイン側の NMOS トランジスタのドレインとが出力端子に接続されることによりインバータ回路が構成されている請求項 1 または 2 記載の半導体集積回路。

【請求項 7】 前記第 2 セルとして、前記直列接続された PMOS トランジスタのソース側を第 1 電源電圧  $V_{dd}$  に接続し、前記直列接続された NMOS トランジスタのソース側を第 2 電源電圧  $V_{ss}$  に接続し、ドレイン側の PMOS トランジスタのゲートとドレイン側の NMOS トランジスタのゲートが入力端子に接続され、該ソース側の PMOS トランジスタのゲートと該ソース側の NMOS トランジスタのゲートとがそれぞれ各ゲート制御信号入力端子にそれぞれ接続され、該ドレイン側の PMOS トランジスタのドレインと該ドレイン側の NMOS トランジスタのドレインとが出力端子に接続されることによりインバータ回路が構成されている請求項 1 または 2 記載の半導体集積回路。

【請求項 8】 前記各ゲート制御信号入力端子にそれぞれ入力される各ゲート制御信号の電位のうち、高電位側の電位が前記第 1 電源電圧  $V_{dd}$  よりも高く設定され、低電位側の電位が前記第 2 電源電圧  $V_{ss}$  よりも低く設定されている請求項 6 または 7 記載の半導体集積回路。

【請求項 9】 前記第 2 セルにおいて、前記直列接続されたトランジスタのうち一方が他方よりも高しきい値トランジスタで構成されている請求項 6 または 7 記載の半導体集積回路。

【請求項 10】 前記第 2 セルにおいて、前記直列接続されたトランジスタのうち少なくとも何れか一方のトランジスタにボディ電位端子が設けられ、該ボディ電位端子を介してボディ電位を制御可能に構成した請求項 6 または 7 記載の半導体集積回路。

【請求項 11】 前記第 2 セルにおいて、前記直列接続された各トランジスタのうち少なくとも何れか一方のトランジスタのゲート電極にボディ電極が接続されている請求項 6 または 7 記載の半導体集積回路。

【請求項 12】 前記第 2 セルを用いたインバータ回路は、前記ゲート制御信号入力端子にゲート制御信号としてクロック信号を入力してクロックドゲート回路とする請求項 6 ～ 11 の何れかに記載の半導体集積回路。

【請求項 13】 前記第 2 セルを用いたインバータ回路は、前記ゲート制御信号入力端子にゲート制御信号として待機状態制御信号を入力して、待機時に動作を停止させる機能を有する請求項 6 ～ 11 の何れかに記載の半導体集積回路。

【請求項 14】 前記第 2 セルを用いた複数の回路が組み合わされてデータ保持回路を構成している請求項 12 または 13 記載の半導体集積回路。

【請求項 15】 前記第 2 セルを用いた回路は、アクティブ状態の回路ブロックのみ動作状態となり、非アクティブ状態の回路ブロックが待機状態となるように制御されている請求項 8 ～ 14 の何れかに記載の半導体集積回路。

【請求項 16】 前記ゲート制御信号入力端子に入力されるゲート制御信号を駆動するドライバ回路は、該第 2 セルにおいて、直列接続された PMOS トランジスタおよび直列接続された NMOS トランジスタの各々のゲートが接続されて構成されている請求項 8 記載の半導体集積回路。

【請求項 17】 前記第 1 セルおよび第 2 セルは、SOI (Silicon on Insulator) 構造のトランジスタによって構成されている請求項 1 ～ 16 の何れかに記載の半導体集積回路。

【請求項 18】 コンピュータ内の情報処理装置が、記憶部内のスタンダードセル方式論理回路合成制御用プログラムに基づいて、パストランジスタ論理ネットワークを構成する複数のトランジスタからなる第 1 セルと、直列接続された二つの PMOS トランジスタおよび直列接続された二つの NMOS トランジスタからなる第 2 セルとがスタンダードセルとして登録されたライブラリを用いて、該スタンダードセルの配置、セル内およびセル間の配線パターンおよび配線チャネル幅を決定することにより自動合成して得られた半導体集積回路を製造する半導体集積回路の製造方法。

【請求項 19】 コンピュータ内の情報処理装置が、記憶部内のゲートアレイ方式論理回路合成制御用プログラムに基づいて、パストランジスタ論理ネットワークを構成する複数のトランジスタからなる第 1 セルと、直列接続された二つの PMOS トランジスタおよび直列接続された二つの NMOS トランジスタからなる第 2 セルとを基本セルとして含む複数の基本セル列が配置された基板を用いて、該基本セル内の配線パターンおよび該基本セル間の配線パターンを決定することにより自動合成して得られた半導体集積回路を製造する半導体集積回路の製造方法。

【発明の詳細な説明】

**【0001】****【発明の属する技術分野】**

本発明は、例えばANDゲート、ORゲートおよびXORゲートなどの各種基本ゲートを組み合わせて大規模論理回路を実現した半導体集積回路およびその製造方法に関する。

**【0002】****【従来の技術】**

従来、ASIC（特定用途向け集積回路）、マイクロプロセッサ、デジタル信号処理回路などのような大規模な論理回路を実現するために、スタンダードセル方式やゲートアレイ方式等といった設計・製造方法が用いられている。これらの手法は、例えばANDゲート（論理積ゲート）、ORゲート（論理和ゲート）、XORゲート（排他的論理和ゲート）などのような基本ゲートを予め用意しておき、これらの基本ゲートを組み合わせることにより大規模論理回路を実現するものである。

**【0003】**

例えばゲートアレイ方式では、複数のトランジスタによって構成される基本セルが基板上に複数列配置され、セル内のトランジスタを配線することによって基本論理回路（基本ゲート）が構成される。各セル列間には基本ゲート間を接続するための配線通路（配線チャンネル）が設けられており、各基本ゲート間の全配線が短く、かつ、単純になるように、基本ゲートの配置（基本セル内のトランジスタ間の配線パターンによって決定される）と基本ゲート間の配線パターンとがコンピュータによって定められる。

**【0004】**

例えばスタンダードセル方式では、基本ゲートおよびそれらを組み合わせた少し複雑な論理回路がスタンダードセル（スタンダードセル）として予めライブラリに登録され、これらのスタンダードセルを組み合わせることで大規模論理回路が構成される。この場合、必要なスタンダードセルが基板上に複数列配置され、各セル間を結ぶ全体の配線長が最も短くなるように、セルの配置、配線パターンおよび配線チャンネル（セル列とセル列との間の領域）幅がコンピュータによって定められる。

## 【0005】

このようなスタンダードセル方式またはゲートアレイ方式においては、コンピュータで構成されたCADを用いてセルを組み合わせ、半導体基板上に配置・配線することによって大規模論理集積回路が実現されており、通常、数十種類以上のセルを用意する必要がある。

## 【0006】

そこで、従来、より少ない種類のセルを用いて大規模な論理回路を実現させるため、例えば、パストランジスタ回路とバッファ回路とからなるスタンダードセルを用いて、パストランジスタ回路の端子を接続して複数種類の論理ゲートを形成することにより、セルの種類を削減する方法が提案されている（例えば特許文献1）。以下に、この従来技術について説明する。

## 【0007】

図24は、特許文献1に開示されている従来のスタンダードセルの一例を示す図であり、一つのセルPC1のセルライブラリ例を示す。図24（a）はセルPC1の外観形状を示す斜視図であり、（b）はその回路図であり、（c）はそのレイアウト図である。

## 【0008】

図24（a）～図24（c）に示すように、このセルPC1の外観形状は、幅 $35\mu\text{m}$ 、長さ $10\mu\text{m}$ の四角形状であり、上部に入出力端子101～108が形成されている。また、第1動作電位供給線（電源線Vcc）と第2動作電位供給線（接地線GND）とが互いに平行に配置され、電源線Vccと接地線GNDとの間に、NMOSトランジスタM101～M104と、出力インバータI1を構成するPMOSトランジスタMpおよびNMOSトランジスタMnと、プルアップPMOSトランジスタMp' とが配置されている。

## 【0009】

NMOSトランジスタM101のゲート電極は入力端子101に接続され、NMOSトランジスタM102のゲート電極は入力端子102に接続され、NMOSトランジスタM103のゲート電極は入力端子103に接続され、NMOSト



ランジスタM104のゲート電極は入力端子104に接続されている。また、NMOSトランジスタM101のソース・ドレイン経路はノードN102と入力端子107との間に接続され、NMOSトランジスタM102のソース・ドレイン経路はノードN101とノードN102との間に接続され、NMOSトランジスタM103のソース・ドレイン経路はノードN101と入力端子106との間に接続され、NMOSトランジスタM104のソース・ドレイン経路はノードN101と入力端子105との間に接続されている。出力インバータI1は、PMOSトランジスタM<sub>p</sub>のソースが電源線V<sub>cc</sub>と接続されると共にNMOSトランジスタM<sub>n</sub>のソースが接地線GNDに接続されることにより電源電圧が供給されるようになっている。出力インバータI1の入力であるPMOSトランジスタM<sub>p</sub>およびNMOSトランジスタM<sub>n</sub>のゲート電極はノードN102に接続され、出力インバータI1の出力であるPMOSトランジスタM<sub>p</sub>およびNMOSトランジスタM<sub>n</sub>のドレインは出力端子108に接続されている。さらに、プルアップPMOSトランジスタM<sub>p</sub>'が電源線V<sub>cc</sub>とノードN102との間に挿入され、そのゲート電極は出力端子108に接続されている。

#### 【0010】

このセルPC1において、NMOSトランジスタM101とM102およびM103とM104をそれぞれ対として2分木状に接続された内部回路を用い、この回路接続に対応したマスクパターンレイアウトを予め行っておく。セルPC1には、4つのゲート入力端子101～104と出力端子108とが設けられている。NMOSトランジスタのドレインと接続された入力端子105～107は開放状態となっており、これらの入力端子105～107に対してセル外部から入力される信号の印加形態を変えることにより、異なった論理出力が得られる。

#### 【0011】

図25は、入力端子105～107に与えられる信号の印加形態によって、様々な論理機能が得られるということを説明するためのセルPC1の外観形状を示す斜視図である。

#### 【0012】

図25において、この信号印加例では、ゲート入力端子101～104には、

それぞれ信号 A、AN、B、BN が与えられている。ここで、信号の末尾 N は相補信号を表す。入力端子 105 および 107 は GND に接続され、入力端子 106 には入力端子 101 ~ 105 および 107 とは独立した信号 C が与えられている。このとき、入力端子 101 = A、入力端子 102 = AN、入力端子 103 = B、入力端子 104 = BN、入力端子 105 = 0、入力端子 106 = C、入力端子 107 = 0 であり、出力端子 108 からの出力は、

$$(108) = (((105) \times (104) + (106) \times (103)) \times (102) + (107) \times (101)) \times N$$

$$(108) = ((AN) \times B \times C) \times N$$

となり、3 入力 NAND 機能が実現される (A は負論理)。同様にして、他の論理演算機能も実現することができる。

#### 【0013】

このように、上記特許文献 1 に開示されている従来技術によれば、パストランジスタ回路とバッファ回路（インバータ回路）とを用いて複数種類の論理演算を行うことができるため、少ないセル数で多くの論理回路を実現することができる。

#### 【0014】

しかしながら、上記特許文献 1 に開示されている従来技術では、近年の低消費電力化・微細化によって要求される低電圧動作への対応、増加する待機時リーク電流への対応は考慮されていない。

#### 【0015】

従来、半導体集積回路における待機時リーク電流を削減する方法としては、パイプライン動作しているランダムロジック回路において、フリップフロップ回路にリーク削減回路を備え、かつ、待機時にランダムロジック回路の電源をオフにする方法が提案されている（例えば特許文献 2）。以下に、この従来技術について説明する。

#### 【0016】

図 26 は、特許文献 2 に開示されている従来のランダムロジック回路 200 の構成を示すブロック図である。

**【0017】**

図26において、このランダムロジック回路200は、バッファ回路201～206、フリップフロップ回路(F/F)207～212、216～221、225～230、234～239、およびロジック回路213～215、222～224、231～233を有している。

**【0018】**

外部からの入力信号は、バッファ回路201～206、フリップフロップ回路(F/F)207～212、ロジック回路213～215、フリップフロップ回路(F/F)216～221、ロジック回路222～224、フリップフロップ回路(F/F)225～230、ロジック回路231～233、フリップフロップ回路(F/F)234～239の順に処理される。電源VCC0はバッファ回路201～206、フリップフロップ回路(F/F)207～212、216～221、225～230、234～239、およびロジック回路213～215、222～224、231～233にそれぞれ接続されており、通常モード時には電源電圧が供給され、待機モード時にはオフ状態となる。また、電源VCC1はフリップフロップ回路(F/F)207～212、216～221、225～230、234～239にそれぞれ接続されており、通常モード時および待機モード時ともに電源が供給される。

**【0019】**

図27は、特許文献2に開示されている従来のフリップフロップ回路(F/F)の回路構成を示す回路図である。

**【0020】**

図27において、このフリップフロップ回路は、マスター段がインバータ回路261とラッチ回路262とによって構成されており、スレーブ段がラッチ回路263とインバータ回路264とによって構成されており、マスター段のラッチ回路262とスレーブ段のラッチ回路263とがトランスファークロップによって分離されている。

**【0021】**

マスター段のインバータ回路261は、直列接続されたPMOSトランジスタ

240 および 241 と、直列接続された NMOS トランジスタ 242 および 243 とによって構成されている。その後段のマスター段のラッチ回路 262 は PMOS トランジスタ 244 および NMOS トランジスタ 245 によって構成されるインバータ回路 262a と、直列接続された PMOS トランジスタ 246、247 および直列接続された NMOS トランジスタ 248、249 によって構成されるインバータ回路 262b とによって構成されている。また、スレーブ段のラッチ回路 263 は PMOS トランジスタ 251 および NMOS トランジスタ 252 によって構成されるインバータ回路 263a と、直列接続された PMOS トランジスタ 253、254 および直列接続された NMOS トランジスタ 255、256 によって構成されるインバータ回路 263b とによって構成されている。その後段のスレーブ段のインバータ回路 264 は PMOS トランジスタ 257 と NMOS トランジスタ 258 とによって構成されている。トランスファークラップ 250 はインバータ回路 262、263 間に介装され、PMOS トランジスタ 250a と NMOS トランジスタ 250b との並列回路によって構成されている。

#### 【0022】

このトランスファークラップ 250 は、制御信号 TG2 および TG2B により制御される。また、マスター段のインバータ回路 261 およびラッチ回路 262 は、制御信号 TG1 および TG1B により制御され、スレーブ段のラッチ回路 263 は制御信号 TG2 および TG2B により制御される。ここで、信号の末尾 B は反転信号を示す。各々の信号レベルは、通常動作時には VCC レベルまたは VSS レベルである。

#### 【0023】

レベル変換回路 259 および 260 は、制御信号 TG2 および TG2B の信号レベル（電位）を変化させ、通常動作時には VCC レベルまたは VSS レベルの制御信号 TG2 および TG2B を出力し、待機モード時には VCC レベルよりも高い電位または VSS レベルよりも低い電位の制御信号 TG2 および TG2B を出力する。

#### 【0024】

このフリップフロップ回路において、通常動作時には、VCC0 および VCC

1 共に電源電圧が供給され、フリップフロップ動作が行われる。また、待機時にはマスター段のラッチ回路 262 に供給されている電源電圧  $V_{CC0}$  はオフ状態になり、スレーブ段のラッチ回路 263 には電源電圧  $V_{CC1}$  が供給されてデータが保持される。このとき、マスター段のラッチ回路 262 とスレーブ段のラッチ回路 263 との間のトランスファークゲート 250 はオフ状態であるが、レベル変換回路 259 および 260 を介して、トランスファークゲート 250 を構成する PMOS トランジスタ 250a および NMOS トランジスタ 250b のゲートにはそれぞれ負電圧が印加され、サブスレッショルドリーク電流が削減される。電源電圧  $V_{CC1}$  が供給されているデータ保持部（ラッチ回路 263）のトランジスタは、リーク電流削減のために他の部分のトランジスタよりも高いしきい値のトランジスタによって構成されている。

#### 【0025】

このようにして、上記特許文献 2 に開示されている従来技術においては、データ保持のためのフリップフロップ回路を工夫することにより、待機時のリーク電流を削減することができる。

#### 【0026】

##### 【特許文献 1】

特開平 7-130856 号公報

##### 【特許文献 2】

特開 2000-332598 号公報

#### 【0027】

##### 【発明が解決しようとする課題】

上述した特許文献 1 に開示されている従来技術によれば、パストランジスタ回路とバッファ（インバータ）回路とを用いて複数種類の論理演算を行うことができるため、少ないセル数で多くの論理回路を実現することができる。しかしながら、この従来技術では、セルの構造が、パストランジスタ回路を構成する複数の NMOS トランジスタと、インバータ回路を構成する PMOS トランジスタおよび NMOS トランジスタとからなり、複数種類の論理演算が実現できるとはいうものの、セルサイズが大きくなる。また、近年の低消費電力化・微細化によって

要求される低電圧動作への対応、増加する待機時リーク電流への対応は考慮されていない。

#### 【0028】

また、上述した特許文献2に開示されている従来技術によれば、データ保持のためのフリップフロップ回路を工夫することにより、待機時のリーク電流を削減することができる。しかしながら、この従来技術において、ランダムロジック回路などに供給される電源電圧をオン／オフ制御するためには、電源部に電源スイッチが設けられ、通常、MOS回路では、MOSトランジスタスイッチにより実現される。ところが、MOSトランジスタスイッチは、そのON抵抗がある程度の値を有するため、動作時の消費電流によるIRドロップ（電圧降下）によってランダムロジック回路の電源電位に変動が発生し、動作特性の劣化を招く。特に、低電圧動作の場合には、この影響が顕著になる。

#### 【0029】

本発明は、上記従来の問題を解決するもので、より小さいセルサイズで、かつ、少ない種類のセルにより複数種類の論理機能を実現することができ、待機時のリーク電流を削減すると共に、動作時に電源スイッチによるIRドロップの影響を無くして動作特性を向上させることができる半導体集積回路およびその製造方法を提供することを目的とする。

#### 【0030】

##### 【課題を解決するための手段】

本発明の半導体集積回路は、パストランジスタ論理ネットワークを構成する複数のトランジスタからなる第1セルと、直列接続された二つのPMOSトランジスタおよび直列接続された二つのNMOSトランジスタからなる第2セルとがスタンダードセル方式またはゲートアレイ方式により組み合わされて各セル内および各セル間で所定の配線が為されて構成されたものであり、そのことにより上記目的が達成される。

#### 【0031】

また、好ましくは、本発明の半導体集積回路における第1セルが論理演算回路として構成され、第2セルが、論理演算回路を駆動するドライバ回路および論理

演算回路から出力されたデータを保持するデータ保持回路の少なくとも何れかの回路として構成されている。

【0032】

さらに、好ましくは、本発明の半導体集積回路における第1セルは、NMOSトランジスタおよびPMOSトランジスタの何れかによって構成されている。

【0033】

さらに、好ましくは、本発明の半導体集積回路における第1セルは、NMOSトランジスタおよびPMOSトランジスタの両タイプによって構成されている。例えば、第1セルは、一对のNMOSトランジスタおよび一对のPMOSトランジスタ、または、NMOSトランジスタとPMOSトランジスタが対になった二対のトランジスタなどで構成されている。

【0034】

さらに、好ましくは、本発明の半導体集積回路における第1セルは、所定値より高しき値のトランジスタによって構成されている。

【0035】

さらに、好ましくは、本発明の半導体集積回路における第2セルとして、直列接続されたPMOSトランジスタのソース側を第1電源電圧 $V_{dd}$ に接続し、直列接続されたNMOSトランジスタのソース側を第2電源電圧 $V_{ss}$ に接続し、ソース側のPMOSトランジスタのゲートとソース側のNMOSトランジスタのゲートとが入力端子に接続され、ドレイン側のPMOSトランジスタのゲートとドレイン側のNMOSトランジスタのゲートとがそれぞれ各ゲート制御信号入力端子にそれぞれ接続され、ドレイン側のPMOSトランジスタのドレインとドレイン側のNMOSトランジスタのドレインとが出力端子に接続されることによりインバータ回路が構成されている。

【0036】

さらに、好ましくは、本発明の半導体集積回路における第2セルとして、直列接続されたPMOSトランジスタのソース側を第1電源電圧 $V_{dd}$ に接続し、直列接続されたNMOSトランジスタのソース側を第2電源電圧 $V_{ss}$ に接続し、ドレイン側のPMOSトランジスタのゲートとドレイン側のNMOSトランジスタのゲートとがそれぞれ各ゲート制御信号入力端子にそれぞれ接続され、ドレイン側のPMOSトランジスタのドレインとドレイン側のNMOSトランジスタのドレインとが出力端子に接続されることによりインバータ回路が構成されている。

タのゲートが入力端子に接続され、ソース側のPMOSトランジスタのゲートとソース側のNMOSトランジスタのゲートとがそれぞれ各ゲート制御信号入力端子にそれぞれ接続され、ドレイン側のPMOSトランジスタのドレインとドレイン側のNMOSトランジスタのドレインとが出力端子に接続されることによりインバータ回路が構成されている。

#### 【0037】

さらに、好ましくは、本発明の半導体集積回路において、各ゲート制御信号入力端子にそれぞれ入力される各ゲート制御信号の電位のうち、高電位側の電位が前記第1電源電圧 $V_{dd}$ よりも高く設定され、低電位側の電位が前記第2電源電圧 $V_{ss}$ よりも低く設定されている。

#### 【0038】

さらに、好ましくは、本発明の半導体集積回路における第2セルにおいて、直列接続されたトランジスタのうち一方が他方よりも高しきい値トランジスタで構成されている。

#### 【0039】

さらに、好ましくは、本発明の半導体集積回路における第2セルにおいて、直列接続されたトランジスタのうち少なくとも何れか一方のトランジスタにボディ電位端子が設けられ、ボディ電位端子を介してボディ電位を制御可能に構成する。

#### 【0040】

さらに、好ましくは、本発明の半導体集積回路における第2セルにおいて、直列接続された各トランジスタのうち少なくとも何れか一方のトランジスタのゲート電極にボディ電極が接続されている。

#### 【0041】

さらに、好ましくは、本発明の半導体集積回路において、第2セルを用いたインバータ回路は、ゲート制御信号入力端子にゲート制御信号としてクロック信号を入力してクロックドゲート回路とする。

#### 【0042】

さらに、好ましくは、本発明の半導体集積回路において、第2セルを用いたイ



ンバータ回路は、ゲート制御信号入力端子にゲート制御信号として待機状態制御信号を入力して、待機時に動作を停止させる機能を有する。

【0043】

さらに、好ましくは、本発明の半導体集積回路において、第2セルを用いた複数の回路が組み合わされてデータ保持回路を構成している。

【0044】

さらに、好ましくは、本発明の半導体集積回路において、第2セルを用いた回路は、アクティブ状態の回路ブロックのみ動作状態となり、非アクティブ状態の回路ブロックが待機状態となるように制御されている。

【0045】

さらに、好ましくは、本発明の半導体集積回路において、ゲート制御信号入力端子に入力されるゲート制御信号を駆動するドライバ回路は、第2セルにおいて、直列接続されたPMOSトランジスタおよび直列接続されたNMOSトランジスタの各々のゲートが接続されて構成されている。

【0046】

さらに、好ましくは、本発明の半導体集積回路における第1セルおよび第2セルは、SOI (Silicon on Insulator) 構造のトランジスタによって構成されている。

【0047】

本発明の半導体集積回路の製造方法は、コンピュータ内の情報処理装置が、記憶部内のスタンダードセル方式論理回路合成制御用プログラムに基づいて、パストランジスタ論理ネットワークを構成する複数のトランジスタからなる第1セルと、直列接続された二つのPMOSトランジスタおよび直列接続された二つのNMOSトランジスタからなる第2セルとがスタンダードセルとして登録されたライブラリを用いて、該スタンダードセルの配置、セル内およびセル間の配線パターンおよび配線チャネル幅を決定することにより自動合成して得られた半導体集積回路を製造するものであり、そのことにより上記目的が達成される。

【0048】

また、本発明の半導体集積回路の製造方法は、コンピュータ内の情報処理装置

が、記憶部内のゲートアレイ方式論理回路合成制御用プログラムに基づいて、パストランジスタ論理ネットワークを構成する複数のトランジスタからなる第1セルと、直列接続された二つのPMOSトランジスタおよび直列接続された二つのNMOSトランジスタからなる第2セルとを基本セルとして含む複数の基本セル列が配置された基板を用いて、該基本セル内の配線パターンおよび該基本セル間の配線パターンを決定することにより自動合成して得られた半導体集積回路を製造するものであり、そのことにより上記目的が達成される。

#### 【0049】

以下に、本発明の作用について説明する。

#### 【0050】

本発明にあつては、パストランジスタ論理ネットワークを構成する複数のトランジスタからなる第1セルと、直列接続された二つのPMOSトランジスタおよび直列接続された二つのNMOSトランジスタからなる第2セルという2種類のセル構造をライブラリに用意することによって、スタンダードセル方式により、任意の論理回路を作製することが可能となる。

#### 【0051】

また、パストランジスタ論理ネットワークを構成する複数のトランジスタからなる第1セルと、直列接続された二つのPMOSトランジスタおよび直列接続された二つのNMOSトランジスタからなる第2セルという2種類のセル構造を、予め基板上に作製しておき、下層の配線層にてセル内のトランジスタを接続し、上層の配線層にてセル間を接続することにより、ゲートアレイ方式によって、任意の論理回路を作製することが可能となる。

#### 【0052】

いずれの方式によっても、特許文献1に開示されている従来技術に比べてセルの構造が単純であり、セルサイズを小さくすることができる。

#### 【0053】

例えば、上記第1セルを用いて論理演算回路を作製し、第2セルを用いて論理演算回路を駆動するインバータバッファ回路などのドライバ回路および論理演算回路からの出力データを保持するラッチ回路、フリップフロップ回路などのデー

タ保持回路を構成することができる。

【0054】

上記第2セルは、直列接続されたトランジスタによって構成されており、ソースドレイン電圧が分圧されるため、低しきい値のトランジスタであっても、単一のトランジスタに比べてリーク電流を削減することができる。よって、第2セルを用いた論理回路により、電源電圧をオン／オフ制御することなく、待機時のリーク電流を削減することが可能となり、特許文献2に開示されている従来技術のように、動作時にランダムロジック回路などに供給される電源電圧を、I Rドロップ値の大きい電源スイッチでオン／オフ制御する必要がないため、動作特性の劣化は生じない。

【0055】

パストランジスタ論理ネットワークを構成する第1セルは、通常、NMOSトランジスタによって構成されるが、PMOSトランジスタおよびNMOSトランジスタの両タイプで第1セルを構成することによって、PMOSトランジスタとNMOSトランジスタとを相補的に用いたCMOSタイプのパストランジスタ論理ネットワークを実現することが可能となる。また、第1セルは、所定値（通常しきい値）より高い高しきい値のトランジスタで構成することによって、高しきい値よりも低い低しきい値のトランジスタで構成した場合に比べてリーク電流を削減することが可能となる。

【0056】

上記第2セルにおいて、直列接続されたPMOSトランジスタのソース（直列回路の入力側）を第1電源電圧 $V_{dd}$ に接続し、直列接続されたNMOSトランジスタのソース（直列回路の入力側）を第2電源電圧 $V_{ss}$ （GND）に接続し、ソース（直列回路の入力側）に近いPMOSトランジスタのゲートとソース（直列回路の入力側）に近いNMOSトランジスタのゲートを接続して入力端子とし、ドレイン（直列回路の出力側）に近いPMOSトランジスタのゲートとドレイン（直列回路の出力側）に近いNMOSトランジスタのゲートとをそれぞれゲート制御信号入力端子とし、PMOSトランジスタのドレイン（直列回路の出力側）とNMOSトランジスタのドレイン（直列回路の出力側）とを接続して出

力端子として、バッファ回路、フリップフロップ回路などを構成するインバータ回路によって、待機時に回路を“OFF”状態として無駄な待機電流が流れないようにすることができる。また、ドレイン（直列回路の出力側）に近いトランジスタを制御することによって、入力された信号の遷移帰還による電流消費を抑え、低消費電力を実現することができる。

#### 【0057】

また、上記第2セルにおいて、直列接続されたPMOSトランジスタのソース（直列回路の入力側）を第1電源電圧 $V_{dd}$ に接続し、直列接続されたNMOSトランジスタのソース（直列回路の入力側）を第2電源電圧 $V_{ss}$ （GND）に接続し、そのドレイン（直列回路の出力側）に近いPMOSトランジスタのゲートとそのドレイン（直列回路の出力側）に近いNMOSトランジスタのゲートを接続して入力端子とし、そのソース（直列回路の入力側）に近いPMOSトランジスタのゲートとそのソース（直列回路の入力側）に近いNMOSトランジスタのゲートとをそれぞれゲート制御信号入力端子とし、PMOSトランジスタのドレイン（直列回路の出力側）とNMOSトランジスタのドレイン（直列回路の出力側）とを接続して出力端子として、バッファ回路、フリップフロップ回路などを構成するインバータ回路によって、待機時に回路を“OFF”状態として無駄な待機電流が流れないようにすることができる。また、ソース（直列回路の入力側）に近いトランジスタを制御することによって、入力信号の変化に対してより高速に動作させることが可能となる。

#### 【0058】

ゲート制御信号入力端子に入力されるゲート制御信号は、高電位側をPMOSトランジスタのソースに接続されている第1電源電圧 $V_{dd}$ よりも高く設定することにより、PMOSトランジスタが“OFF”状態のときのリーク電流を削減し、待機時の消費電力を削減することができる。また、低電位側をNMOSトランジスタのソースに接続されている第2電源電圧 $V_{ss}$ （GND）よりも低く設定することにより、NMOSトランジスタが“OFF”状態のときのリーク電流を削減し、待機時の消費電力を削減することができる。

#### 【0059】

また、上記第2セルは、一方のトランジスタを高しきい値トランジスタで構成することにより、それよりも低い低しきい値のトランジスタで構成した場合に比べてさらにリーク電流を削減して待機時の消費電力を削減することができる。また、一方のトランジスタにボディ電位端子を設けてボディ電位を制御可能とし、しきい値電圧を制御することができる。通常動作時にはしきい値電圧を低くするようにボディ電位を制御して高速に動作させ、待機時にはしきい値電圧が高くなるようにボディ電位を制御してリーク電流を削減することによって、待機時の消費電流を削減することができる。

#### 【0060】

また、一方のトランジスタのゲート電極とボディ電極とを接続することにより、トランジスタが“ON”状態になるときはしきい値電圧が低くなるように、トランジスタが“OFF”状態になるときはしきい値電圧が高くなるようにボディ電位が自動的に制御される。これによって、トランジスタが“ON”状態のときにはしきい値電圧が低くなり、ドライブ能力も高くなって高速動作が可能となる。また、トランジスタが“OFF”状態のときにはしきい値電圧が高くなり、リーク電流を削減することが可能となる。

#### 【0061】

上記第2セルを用いたインバータ回路において、ゲート制御信号入力端子にゲート制御信号としてクロック信号を入力することによって、クロックドゲート回路を構成することができる。また、ゲート制御信号入力端子にゲート制御信号として待機状態制御信号を入力することによって、待機時に動作を停止する機能を有する回路を構成することができる。また、データ保持回路、ドライバ回路などを、アクティブ状態の回路ブロックのみ動作状態とし、非アクティブ状態の回路ブロックが待機状態（停止状態）となるように制御することができる。これによって、動作（演算）に必要な回路ブロックのみが動作し、他のブロックは動作しないため、そのときのリーク電流に関わる待機電流を削減することができ、無駄な電力を消費せずに低消費電力な半導体集積回路を実現することができる。

#### 【0062】

また、待機状態制御信号を駆動するドライバ回路は、第2セルにおいて、直列

接続されたPMOSトランジスタおよび直列接続されたNMOSトランジスタの各々のゲートを接続してインバータ回路を構成することによって実現することができる。直列接続されたトランジスタのそれぞれのソースドレイン電圧は、電圧が分圧されて電源電圧よりも低くなり、耐圧が向上されるため、容易に高電圧を印加できる回路を実現することができる。

#### 【0063】

第1セルおよび第2セルを構成するトランジスタはSOI構造とすることにより、接合容量が小さくなり、低消費電力を実現することができる。また、SOI構造では、急峻なサブスレッショルド特性が得られることから、ソースドレイン電圧が小さいときでも、バルクMOSデバイスに比べて大きな電流が得られ、バスネットワーク論理回路に適している。また、バスネットワーク論理回路をCMOS回路によって構成する場合でも、バルクMOSデバイスに比べて面積、付加容量の増加を抑制することができる。

#### 【0064】

##### 【発明の実施の形態】

以下に、本発明の半導体集積回路の各実施形態1～12について、図面を参照しながら説明する。

##### (実施形態1)

本実施形態1では、コンピュータ内の情報処理装置が、スタンダードセル方式論理回路合成制御用プログラムに基づいて、パストランジスタ論理ネットワークを構成する複数のトランジスタからなる第1セルと、直列接続された二つのPMOSトランジスタおよび直列接続された二つのNMOSトランジスタからなる第2セルとがスタンダードセルとして登録されたライブラリを用いて、スタンダードセルの配置、セル内およびセル間の配線パターンおよび配線チャネル幅を決定することによって所望の論理回路を自動合成・製造した半導体集積回路の場合について説明する。

#### 【0065】

図1(a)は、本発明の実施形態1の半導体集積回路の製造に用いられるパストランジスタ論理ネットワークを構成する複数のトランジスタによって構成され

る第1セルS1のセルパターン例を示すレイアウト図であり、図2(a)は上記第1セルS1の回路図である。

#### 【0066】

図1(a)および図2(a)において、この第1セルS1は、四つのNMOSトランジスタM011～M04によって構成されており、各NMOSトランジスタM01～M04のソース、ドレインおよびゲートが各端子T1～T12として設けられている。これらの各端子T1～T12はそれぞれ、所望するパス論理回路が得られるように、上層のメタル配線層を用いて接続される。

#### 【0067】

図1(b)は、本発明の実施形態1の半導体集積回路の製造に用いられる直列接続された二つのPMOSトランジスタと直列接続された二つのNMOSトランジスタとによって構成される第2セルS2のセルパターン例を示すレイアウト図であり、図2(b)は上記第2セルS2の回路図である。

#### 【0068】

図1(b)および図2(b)において、この第2セルS2は、PMOSトランジスタM05aおよびM05bが直列接続されたPMOSトランジスタM05と、NMOSトランジスタM06aおよびM06bが直列接続されたNMOSトランジスタM06とによって構成されており、直列接続されたトランジスタM05およびM06のそれぞれのソース、ドレインおよび各トランジスタM05a、M05b、M06aおよびM06bのそれぞれのゲートが端子T13～T20として設けられている。これらの端子T13～T20は、パス論理回路を駆動するドライバ回路であるバッファ用のインバータ回路、パス論理回路の出力データを保持するデータ保持回路であるDFF回路を構成するための回路など、所望の回路が得られるように接続される。

#### 【0069】

以上のようにして、本実施形態1の半導体集積回路は、コンピュータ内の情報処理装置にて、スタンダードセル方式論理回路合成用制御プログラムに基づいてセルの配置・配線処理を行うことによって、自動設計・製造することができる。

#### 【0070】

図3は、本発明の半導体集積回路の製造に用いられるコンピュータシステムの構成を示すブロック図である。

#### 【0071】

このコンピュータシステム20は、論理回路合成用制御プログラムが記憶されるROM41と、ROM41から読み出された論理回路合成用制御プログラムに基づいて所望の論理回路を自動合成するCPU42（制御部）と、CPU42によってワークメモリとして用いられるRAM43と、操作者が回路仕様や設計制約条件などを入力するための操作部44と、操作入力画面などの各種画面が表示される表示部45とを備えている。

#### 【0072】

スタンダードセル方式においては、基本ゲートおよび複数の基本ゲートを組み合わせた少し複雑な論理回路をスタンダードセルとしてセルライブラリに登録しておき、上記コンピュータシステム40を用いてスタンダードセルを組み合わせることにより、所望の論理回路が自動合成される。

#### 【0073】

ROM41には、スタンダードセル方式論理回路合成用制御プログラムが記憶されていると共に、スタンダードセルの入出力端子位置情報、動作速度情報、スタンダードセルを構成するトランジスタの配置情報などがセルライブラリ（ROM41の一部）に登録されている。

#### 【0074】

本実施形態1では、図1においてトランジスタM01～M04の各端子T1～T12間を配線した第1セルS1、および図2においてトランジスタM05およびM06の各端子T13～T20間を配線した第2セルS2がスタンダードセルとしてセルライブラリに登録されている。

#### 【0075】

図3に示すCPU42は、ROM41から読み出したスタンダードセル方式論理回路合成用制御プログラムに基づいて、セルライブラリ内の各種情報を用いて、各スタンダードセルの配置、各セル内および各セル間を接続する配線の配線パターンおよび配線チャネル幅（セル列間の間隔）を決定する。このとき、各セル



の配置、各セル内および各セル間の配線および配線チャネル幅は、操作部 44 から入力された回路仕様や設計制約条件などを満たすと共に、各セル内および各セル間の全配線が短くなるように決定される。このようにして決定されたセルの配置パターンおよび配線パターンを、製造用マスク上に転写し、このマスクを用いて各セル内および各セル間を接続する配線を作製することにより、半導体集積回路が製造される。

#### 【0076】

図 4 は、上記第 1 セル S 1 を用いて論理演算回路を構成し、第 2 セル S 2 を用いてパストランジスタ論理ネットワークを駆動するドライバ回路、データを保持するデータ保持回路などを構成した半導体集積回路の構成例を示す回路図である。

#### 【0077】

図 4 において、この半導体集積回路は、パストランジスタ論理ネットワークを駆動するドライバ回路であるインバータバッファ回路 1a～1e と、パストランジスタ論理ネットワーク回路 2 と、このパストランジスタ論理ネットワーク回路 2 からの出力データが記憶保持されるデータ保持回路としてのフリップフロップ回路 3 とを有している。

#### 【0078】

インバータバッファ回路 1a～1e はそれぞれ、図 1(b) に示す第 2 セル S 2 を用いて作製され、パストランジスタ論理ネットワーク回路部 2 は、図 1(a) に示す第 1 セル S 1 を用いて作製されている。また、フリップフロップ回路 3 は、図 1(b) に示す第 2 セル S 2 を複数用いて作製されている。

#### 【0079】

パストランジスタ論理ネットワーク回路部 2 は、四つの NMOS トランジスタ 2a～2d によって構成されており、NMOS トランジスタ 2a のゲートはノード N 1 に接続され、ソースドレイン経路はノード N 2 とノード N 7 との間に接続されている。また、NMOS トランジスタ 2b のゲートはノード N 3 に接続され、ソースはノード N 2 に接続され、ドレインは NMOS トランジスタ 2c, 2d の直列接続部に接続されている。また、NMOS トランジスタ 2c のゲートは

ノードN6に接続され、ソースはNMOSトランジスタ2b, 2dの並列接続部に接続され、ドレインはノードN7に接続されている。また、NMOSトランジスタ2dのゲートはノードN5に接続され、ソースはノードN4に接続され、ドレインはNMOSトランジスタ2b, 2cの直列接続部に接続されている。

#### 【0080】

ノードN1はインバータバッファ回路1aを介して信号Aが入力される入力端子Aと接続されており、ノードN2は接地電圧GND ( $V_{ss}$ ) と接続されており、ノードN3はインバータバッファ回路1bを介して信号Bが入力される入力端子Bと接続されており、ノードN4はインバータバッファ回路1cを介して信号CBが入力される入力端子CBと接続されており、ノードN5はインバータバッファ回路1dを介して信号BBが入力される入力端子BBと接続されており、ノードN6はインバータバッファ回路1eを介して信号ABが入力される入力端子ABと接続されている。なお、信号の末尾の「B」は、反転信号を示している。また、ノードN7は、フリップフロップ回路3のデータ入力端子と接続されており、フリップフロップ回路3のクロック入力端子にはクロック信号CKが入力されるようになっており、出力端子Yからは論理演算結果が出力されるようになっている。

#### 【0081】

この回路によって、

$$Y = A \times B \times C$$

で表される論理式の演算が実現される。

#### 【0082】

図5は、図1(b)に示す第2セルS2を用いて、図4に示す各インバータバッファ回路1a～1eを実現した例を示す図であり、(a)はそのセルパターンおよび配線パターンを示すレイアウト図であり、(b)はその回路構成を示す回路図である。

#### 【0083】

図5(a)および図5(b)において、このインバータバッファ回路1は、第2セルS2を構成する各トランジスタM05およびM06の各端子T13～T2

0 を、上層のメタル配線層と、各端子とメタル配線層とを接続するコンタクトホールとを用いて接続することによって構成されている。

#### 【0084】

第2セルS2において、直列接続されたPMOSトランジスタM05のソース端子T13は第1電源電圧Vddに接続され、ソースに近いPMOSトランジスタM05aのゲート端子T14は入力端子INに接続される。また、ドレインに近いPMOSトランジスタM05bのゲート端子T15は制御信号SLに接続され、ドレイン端子T16は出力端子OUTに接続される。

#### 【0085】

また、直列接続されたNMOSトランジスタM06のソース端子は第2電源電圧Vss（接地電圧GND）に接続され、ソースに近いNMOSトランジスタM06bのゲート端子T19は入力端子INに接続される。また、ドレインに近いNMOSトランジスタM06aのゲート端子T18は制御信号SLBに接続され、ドレイン端子T17は出力端子OUTに接続される。

#### 【0086】

回路動作時には、制御信号SLは“L”=Vss、SLBは“H”=Vddに設定されており、PMOSトランジスタM05bおよびNMOSトランジスタM06aは“ON”状態となり、本回路は入力信号INの反転信号を出力OUTから出力するインバータ回路として機能する。また、待機動作時には、制御信号SLは“H”=Vdd、SLBは“L”=Vssとなり、PMOSトランジスタM05bとNMOSトランジスタM06aとが共に“OFF”状態となって本回路は動作しないため、入力信号INの電位に関わらず、“OFF”状態となっている両トランジスタによって第1電源電圧Vddから第2電源電圧Vssへの貫通パスは生成されず、消費電流を抑えることができる。

#### 【0087】

なお、近年の微細化プロセスによって、トランジスタの“OFF”時のリーク電流の増加によって、待機時の電流消費を増加させてしまうという問題があるが、この問題に関する本発明での解決策については、後述する。

#### 【0088】

図6は、図1(a)に示す第1セルS1を用いて、図4に示すパストランジスタ論理ネットワーク部2を実現した例について、そのセルパターンおよび配線パターンを示すレイアウト図である。

#### 【0089】

このパストランジスタ論理ネットワーク部2は、図1(a)に示す第1セルS1を一つ用いて、各トランジスタM01～M04の各端子T1～T12を、上層のメタル配線層と、各端子とメタル配線層とを接続するコンタクトホールとを用いて接続することによって構成されている。

#### 【0090】

図7は、図1(b)に示す第2セルS2を用いて、図4に示すフリップフロップ回路3を実現した例を示す図であり、(a)はそのセルパターンおよび配線パターンを示すレイアウト図であり、(b)はその回路図であり、(c)はその動作タイミングを示すタイミングチャートである。

#### 【0091】

図7(a)～図7(c)において、このフリップフロップ回路3は、図1(b)に示す第2セルS2を二つ用いて、各トランジスタM05およびM06の各端子T13～T20を、上層のメタル配線層と、各端子T13～T20とメタル配線層とを接続するコンタクトホールとを用いて接続することによって構成されている。各セル3aおよび3bはそれぞれ、図5に示すインバータバッファ回路1と同様に、ゲート制御信号入力端子を有するインバータ回路となっている。

#### 【0092】

ここでは、初段のインバータ回路3aのゲート制御信号入力端子T15にCK信号が入力され、ゲート制御信号入力端子T18にCK信号の反転信号であるCKB信号が入力される。また、次段のインバータ回路3bのゲート制御信号入力端子T15にCKB信号が入力され、ゲート制御信号入力端子T18にCK信号が入力される。フリップフロップ回路3の入力信号INは初段のインバータ回路3aの入力端子T14およびT19に入力され、その出力Xは次段のインバータ回路3bの入力端子T14およびT19に入力されており、出力端子T16およびT17から出力Qが出力される。

## 【0093】

このフリップフロップ回路3はダイナミック型であり、図7(c)に示すように、CK信号が“L”レベルの期間にインバータ回路3aが“ON”状態になり、入力データの反転信号が出力される。このとき、入力信号INが“L”レベルであれば、インバータ回路3aの出力によって、ノードXに接続されたインバータ回路3bを構成するトランジスタM05aおよびM06bのゲート電極T14およびT19が“H”レベルに充電される。次に、CK信号が“H”レベルになるときにインバータ回路3bが“ON”状態となり、出力端子Qから“L”信号が出力される。この一連の動作により、本回路はDFF回路（データフリップフロップ回路）として機能する。

## 【0094】

上記図7に示すフリップフロップ回路（DFF回路）3は、ドレインに近いトランジスタM05bおよびM06aのゲート端子にゲート制御信号が入力されており、これによって、低消費電力が実現される。このことについて、以下に説明する。

## 【0095】

図7(c)に示すタイムチャートを用いて説明すると、このフリップフロップ回路3に入力される信号INは、パイプライン動作している前段のDFF回路からの出力が、図4に示すように、インバータバッファ回路1a～1eおよびパストランジスタ論理ネットワーク部2を通して入力端子に供給される。したがって、前段DFFからの出力データがクロック信号CKの“H”レベルへの変化により出力され、各経路を通してパストランジスタ論理演算が行われた結果、フリップフロップ回路3に入力される信号INが“H”レベルまたは“L”レベルに確定される。信号INが確定されるまでの間は、各信号の遅延差などによって、不確定な値をとり得ることになり、この不確定な入力信号は、インバータ回路3aの消費電流を増加させることになる。しかしながら、本実施形態1においては、クロック信号CKが“H”レベルの期間は、インバータ回路3aを構成するトランジスタM05bとM06aとが“OFF”状態であり、信号INの遷移期間にはインバータ回路3aが動作しないため、不要な電流消費を削減することが可能と

なる。なお、図7はダイナミック型フリップフロップの構成例を示しているが、スタティック型についてもダイナミック型と同様に実現可能である。

#### 【0096】

以上説明したように、本実施形態1によれば、パストランジスタ論理ネットワーク部2を構成する複数のトランジスタによって構成される第1セルS1と、直列接続されたPMOSトランジスタおよび直列接続されたNMOSトランジスタによって構成される第2セルS2の2種類のセル構造をスタンダードセルとしてライブラリ内に用意し、これらを組み合わせることによって、容易に任意の論理回路を実現することが可能である。

#### 【0097】

また、実際に電流を消費し、リーク電流が発生するのは、パストランジスタ論理ネットワーク部2ではなく、インバータバッファ回路1a～1eおよびフリップフロップ回路3のインバータ回路3a, 3bとなる。そこで、本実施形態1においては、電流を消費し、リーク電流が発生する回路ブロックを、直列接続されたトランジスタによって構成される第2セルを用いて作製する。この直列接続されたトランジスタの一方のゲート電極にゲート制御信号を入力して、そのトランジスタを“ON”、“OFF”制御することによって、後述するように、不要な電流消費、リーク電流の発生を抑えることができる。

#### (実施形態2)

図8(a)は、本発明の実施形態2の半導体集積回路の製造方法に用いられる、パストランジスタ論理ネットワークを構成する複数のトランジスタによって構成される第1セルS1のセルパターン例を示すパターン図であり、図8(b)は上記第1セルS1の構成を説明するための回路図である。

#### 【0098】

図8(a)および図8(b)において、この第1セルS1は、二つの(一对の)PMOSトランジスタMP1およびMP2と、二つの(一对の)NMOSトランジスタMN1およびMN3とによって構成されている。

#### 【0099】

パストランジスタ論理回路は、NMOSトランジスタのみで構成されている場

合も多いが、今後増加するであろう低電圧動作を考えると、NMOS シングルゲートによる信号振幅の低下が課題となる。このような場合、PMOS ゲートと NMOS ゲートとを相補的に用いた CMOS タイプのバストランジスタネットワークを実現する必要がある。

#### 【0100】

そこで、本実施形態 2 においては、このような状況に対応するべく、NMOS トランジスタおよび PMOS トランジスタの対によって構成されるバストランジスタ論理ネットワーク用セルを用意し、本セルを一つまたは複数用いて論理回路を形成する。各 PMOS トランジスタ MP 1 および MP 2 のソース、ドレインおよびゲートが各端子 TP 1 ～ TP 6 として設けられ、各 NMOS トランジスタ MN 1 および MN 2 のソース、ドレインおよびゲートが各端子 TN 1 ～ TN 6 として設けられている。これらの各端子 TP 1 ～ TP 6, TN 1 ～ TN 6 は、所望するバス論理回路が得られるように、上層のメタル配線層を用いて接続される。

#### 【0101】

図 9 は、図 8 に示す第 1 セル S 1 を用いてセレクト論理回路（論理演算回路）を実現した例を示す図であり、（a）はそのセルパターンおよび配線パターンを示すレイアウト図であり、（b）はその回路図であり、（c）は入力信号 SEL, SELB と出力信号 Y との関係を示す表である。

#### 【0102】

図 9（a）～図 9（c）において、このセレクト論理回路 4 は、図 8 に示す第 1 セル S 1 を一つ用いて、各トランジスタ MP 1、MP 2、MN 1 および MN 2 の各端子 TP 1 ～ TP 6 および TN 1 ～ TN 6 を、上層のメタル配線層と、各端子とメタル配線層とを接続するコンタクトホールとを用いて接続することによって構成されている。ゲートに信号 SEL が入力される PMOS トランジスタ MP 1 とゲート端子に信号 SELB が入力される NMOS トランジスタ MN 1 とは、それぞれソース同士およびドレイン同士が接続されてトランスファークロスタック 4 a が構成され、また、ゲートに信号 SEL が入力される NMOS トランジスタ MN 2 とゲート端子に信号 SELB が入力される PMOS トランジスタ MP 2 とは、それぞれソース同士およびドレイン同士が接続されてトランスファークロスタック 4 b

が構成されている。トランスファークロスタック 4 a のソースは信号 A が入力される入力端子 A に接続され、トランスファークロスタック 4 b のソースは信号 B が入力される入力端子 B に接続され、両トランスファークロスタック 4 a および 4 b のドレインは出力端子 Y に共通接続されている。

#### 【0103】

信号 SEL が “0” で信号 SELB が “1” の場合には、トランスファークロスタック 4 a が “ON” 状態、トランスファークロスタック 4 b が “OFF” 状態となり、出力端子 Y からは信号 A が出力される。また、信号 SEL が “1” で信号 SELB が “0” の場合には、トランスファークロスタック 4 a が “OFF” 状態、トランスファークロスタック 4 b が “ON” 状態となり、出力端子 Y からは信号 B が出力される。

#### 【0104】

このように、パストランジスタ論理ネットワークを構成する第 1 セル S 1 を PMOS トランジスタおよび NMOS トランジスタの両タイプで構成することにより、CMOS タイプのパストランジスタ論理回路にも対応することができる。特に、後述するような SOI 構造による場合には、PMOS トランジスタおよび NMOS トランジスタのためのウェルが不要であるため、CMOS タイプデバイスを作製する場合に面積が増大するというデメリットを削減することができる。

#### (実施形態 3)

図 10 は、本発明の実施形態 3 の半導体集積回路において、図 1 (b) に示す第 2 セル S 2 を用いて、異なるパストランジスタ論理ネットワークを駆動するドライバ回路、パストランジスタ論理ネットワークから出力されるデータを保持するデータ保持回路などを構成するインバータ回路を実現した例を示す図であり、(a) はそのセルパターンおよび配線パターンを示すレイアウト図であり、(b) はその回路図である。なお、これは、図 5 のインバータバッファ回路 1 とはその接続構成が異なっている。

#### 【0105】

図 10 (a) および図 10 (b) において、このインバータ回路 5 は、第 2 セル S 2 を構成する各トランジスタ M05 および M06 の端子 T13 ~ T20 を、上層のメタル配線層と、各端子とメタル配線層とを接続するコンタクトホールと



を用いて接続することによって構成されている。

#### 【0106】

第2セルS2において、直列接続されたPMOSトランジスタM05のソース端子T13は第1電源電圧V<sub>dd</sub>に接続され、ドレインに近いPMOSトランジスタM05bのゲート端子T15は入力端子INに接続される。また、ソースに近いPMOSトランジスタM05aのゲート端子T14は制御信号SLに接続され、ドレイン端子T16は出力端子OUTに接続される。

#### 【0107】

また、直列接続されたNMOSトランジスタM06のソース端子は第2電源電圧V<sub>ss</sub>（接地電圧GND）に接続され、ドレインに近いNMOSトランジスタM06aのゲート端子T18は入力端子INに接続されている。また、ソースに近いNMOSトランジスタM06bのゲート端子T19は制御信号SLBに接続され、ドレイン端子T17は出力端子OUTに接続されている。

#### 【0108】

回路動作時には、制御信号SLは“L”=V<sub>ss</sub>、SLBは“H”=V<sub>dd</sub>に設定されており、PMOSトランジスタM05aおよびNMOSトランジスタM06bは“ON”状態となり、本回路は入力信号INの反転信号を出力OUTから出力するインバータ回路として機能する。また、待機動作時には、制御信号SLは“H”=V<sub>dd</sub>、SLBは“L”=V<sub>ss</sub>となり、PMOSトランジスタM05aとNMOSトランジスタM06bとが“OFF”状態となって本回路は動作しないため、入力信号INの電位に関わらず、“OFF”状態となっている両トランジスタによって第1電源電圧V<sub>dd</sub>から第2電源電圧V<sub>ss</sub>への貫通パスは生成されず、消費電流を抑えることができる。

#### 【0109】

また、本実施形態3では、インバータ回路5は、ソースに近いトランジスタM05aおよびM06bのゲート端子にゲート制御信号が入力されている。このように、ソースに近いトランジスタM05aおよびM06bをゲート制御に用いることにより、動作時には電源（ソース）に近いトランジスタM05aおよびM06bが常に“ON”状態となり、実際に入力信号INに応じて動作しているトラ

ンジスタM05bおよびM06aのソースは電源電圧V<sub>dd</sub>およびV<sub>ss</sub>に充電されているため、高速動作を期待することができる。

#### 【0110】

上記実施形態1および実施形態3において、直列接続されたトランジスタによって構成された第2セルを用いて、インバータバッファ回路、フリップフロップ回路のインバータ回路などを構成することには、もう一つの利点がある。

#### 【0111】

近年、微細加工技術によりトランジスタ“OFF”時のリーク電流増加が問題となっている。この問題は、上記実施形態1において図5に示すインバータ回路1および上記実施形態3において図10に示すインバータ回路5のように、直列接続されたPMOSトランジスタおよび直列接続されたNMOSトランジスタからなる第2セルを用い、その一方のゲートをゲート制御信号入力端子として制御信号にてコントロールすることにより、解決することが可能である。このことについて、上記図10に示すインバータ回路5を一例として、以下に説明する。

#### 【0112】

このインバータ回路5において、待機時には、制御信号SL=“H”、SLB=“L”となり、トランジスタM05a、M06bが“OFF”状態となる。このとき、入力信号INが“L”レベルの場合を考える。この場合には、インバータ回路5の第1電源電圧V<sub>dd</sub>から第2電源電圧V<sub>ss</sub>（GND）へのリークパスのうち、トランジスタM05bを除く全てのトランジスタM05a、M06aおよびM06bが“OFF”状態となり、リーク電流が削減される。特に、第2電源電圧V<sub>ss</sub>側のNMOS直列トランジスタM06は、両ゲートとも同電位V<sub>ss</sub>にて“OFF”状態となっている。このときのリーク電流について、図11を用いて説明する。

#### 【0113】

図11（a）に示す単一トランジスタM06aおよびM06bの特性は、図11（c）に示すグラフのようになる。近年のトランジスタの微細化、低しきい値化により、リーク電流は増加する傾向にある。単一トランジスタとしてゲート電極にV<sub>ss</sub>を印加し、ソース電位がV<sub>ss</sub>である場合、ゲートーソース電圧V<sub>gs</sub>

= 0 であり、ドレインソース間に流れる電流は  $I_L$  となる。

#### 【0114】

また、図 11 (b) に示すトランジスタ M06 a および M06 b が直列接続されたトランジスタ M06 においては、直列接続によりソースドレイン電圧が分圧される。これによって、図 11 (b) に示すように、トランジスタ M06 a のソース電位が  $V_{s1}$  となり、基板バイアス効果によりリーク電流が減少して  $I_{L1}$  となる。さらに、トランジスタ M06 b が負荷となり、図 11 (d) 中、R で示す負荷特性を有する。トランジスタ M06 a のゲート電位は 0 であり、ソース電位は  $V_{s1}$  になるので、ゲートソース電圧  $V_{gs}$  は  $-V_{s1}$  となる。このため、直列接続トランジスタ M06 に流れるリーク電流は、特性曲線とトランジスタ M06 b の負荷曲線 R との交点で求められる電流値  $I_{L2}$  にまで減少する。よって、直列接続されたトランジスタ M06 のリーク電流値は  $I_{L2}$  となり、単一トランジスタのリーク電流値  $I_L$  に比べて非常に小さくなる。

#### 【0115】

このように、直列接続されたトランジスタによって構成された第 2 セルを用いて、例えば図 10 に示すようなインバータ回路を構成することにより、上記直列接続トランジスタの効果により、リーク電流を大幅に削減することが可能となる。

#### 【0116】

一方、入力信号  $I_N$  が “H” レベルの場合には、直列接続された PMOS トランジスタ M05 a および M05 b のゲートが共に  $V_{dd}$  となって “OFF” 状態となる。このとき、上記 NMOS トランジスタ M06 と同様に、直列接続構造によりリーク電流を大幅に削減することができる。このようにして、図 10 に示すインバータ回路においては、待機時に、入力信号  $I_N$  が “H” レベル、“L” レベルに関わらず、リーク電流を削減することができる。

#### 【0117】

なお、ここでは、図 10 に示すように、直列回路のソース側に近いトランジスタのゲートにゲート制御信号が入力され、直列回路のドレイン側に近いトランジスタに入力信号が入力されるインバータ回路 5 について説明したが、図 5 に示す

ように、ドレインに近いトランジスタのゲートにゲート制御信号が入力され、ソースに近いトランジスタに入力信号が入力される上記実施形態1のインバータ回路1についても、同様に、リーク電流を削減することができる。

#### 【0118】

以上のように、ゲートが同電位に接続された直列接続トランジスタを用いると、他のトランジスタと同じ低しきい値トランジスタを用いた場合でも、リーク電流を削減することが可能であり、しきい値を複数種類設定するための特別な製造工程が不要となり、低コストにてリーク電流が削減された半導体集積回路を実現することが可能となる。

#### 【0119】

さらに、直列接続されたトランジスタに供給されるゲート制御信号の電位を、“H”側はソースに供給されている第1電源電圧 $V_{dd}$ より高く、“L”側はドレインに供給されている第2電源電圧 $V_{ss}$ よりも低く設定することにより、リーク電流をさらに削減することができる。このことについて、図10に示すインバータ回路5を一例として、以下に説明することができる。

#### 【0120】

このインバータ回路5において、待機時にはNMOSトランジスタM06bのゲートに“L”レベルのゲート制御信号SLBが入力されており、このトランジスタM06bが“OFF”状態となってリーク電流が削減される。ここで、ゲート制御信号SLBの“L”レベルは $V_{ss}$ よりも低い $V_{sl}$ に設定されている。このときのソースの電位は $V_{ss}$ であるので、ゲート-ソース電圧 $V_{gs}$ は $V_{ss}$ よりも低い $V_{ssl}$ の負電圧となり、図12に示すように、ゲート電圧が $V_{ss}$ である場合に比べて、低いリーク電流 $I_{LL}$ が流れる。

#### 【0121】

このように、トランジスタのゲート-ソース電圧 $V_{gs}$ を負電位とすることにより、リーク電流を削減することが可能となる。PMOSトランジスタについても同様に、ソースの電位 $V_{dd}$ よりも高い電位をゲートに供給することにより、ゲート-ソース電圧 $V_{gs}$ を負電位としてリーク電流を削減することができる。

#### 【0122】

なお、ここでは、図10に示すように、直列回路のソース側（入力側）に近いトランジスタのゲートにゲート制御信号が入力され、直列回路のドレイン側（出力側）に近いトランジスタに入力信号が入力されるインバータ回路5について説明したが、図5に示すように、そのドレイン側に近いトランジスタのゲートにゲート制御信号が入力され、そのソース側に近いトランジスタに入力信号が入力されるインバータ回路1についても、同様に、リーク電流を削減することができる。

#### （実施形態4）

本実施形態4は、上記実施形態1および実施形態3において、直列接続されたトランジスタのいずれか一方のトランジスタを他方より高しきい値のトランジスタにて構成することにより、さらにリーク電流を削減することができる場合である。本実施形態4では、この回路構成について、図13を一例として説明する。

#### 【0123】

図13は、本発明の実施形態4の半導体集積回路において、図1(b)に示す第2セルS2を用いて、パストランジスタ論理ネットワークを駆動するドライバ回路、パストランジスタ論理ネットワークから出力されるデータを保持するデータ保持回路などを構成するインバータ回路を実現した例を示す図であり、(a)はそのセルパターンおよび配線パターンを示すレイアウト図であり、(b)はその回路図である。このインバータ回路6の動作原理は、図4に示すインバータ回路1と同様である。

#### 【0124】

図13(a)において、マスクパターン7はPMOSトランジスタM05bのしきい値を高く設定するための一例であり、マスクパターン8はNMOSトランジスタM06aのしきい値を高く設定するための一例である。このインバータ回路6は、ゲート制御信号SLおよびSLBが入力されるトランジスタM05bおよびM06aが高しきい値トランジスタによって構成されている。このため、待機時には、これらのトランジスタM05bおよびM06aが“OFF”状態となり、リーク電流が削減される。さらに、トランジスタのオフリーク電流は、しきい値電圧を高くすることにより減少するので、トランジスタM05bおよびM0

6aとして高しきい値トランジスタを用いることにより、低しきい値トランジスタを用いる場合に比べても、待機時のリーク電流を更に削減することができる。

(実施形態5)

本実施形態5は、上記実施形態1, 3および4において、直列接続されたトランジスタの少なくとも何れか一方のトランジスタにボディ電位端子を設け、そのボディ電位端子を介してボディ電位を制御可能としたトランジスタにて構成することにより、さらにリーク電流を削減することができる場合である。本実施形態5では、この回路構成について、図14を一例として説明する。

#### 【0125】

図14は、本発明の実施形態5の半導体集積回路において、図1(b)に示す第2セルS2を用いて、パストランジスタ論理ネットワークを駆動するドライバ回路、パストランジスタ論理ネットワークから出力されるデータを保持するデータ保持回路などを構成するインバータ回路を実現した例を示す図であり、(a)はそのセルパターンおよび配線パターンを示すレイアウト図であり、(b)はその回路図である。なお、このインバータ回路9の動作原理は、図13に示すインバータ回路6と同様である。

#### 【0126】

このインバータ回路9は、図13に示す高しきい値トランジスタM05bおよびM06aにボディ電位端子を設けて、ボディ電位 $V_{sp}$ および $V_{sn}$ を制御することによってしきい値電圧をコントロールすることができるようにしたものである。

#### 【0127】

通常動作時には、 $SL = "L"$ 、 $SLB = "H"$ であり、PMOSトランジスタM05bのボディ電位 $V_{sp} = V_{dd}$ 、NMOSトランジスタM06aのボディ電位 $V_{sn} = V_{ss}$ であり、トランジスタM05aおよびM06bは通常のしきい値電圧である。よって、このインバータ回路9は通常動作し、ボディ電位制御トランジスタM05bおよびM06bも、他のトランジスタM05aおよびM06bと同じしきい値電圧で動作する。

#### 【0128】

また、待機時には、 $SL = "H"$ 、 $SLB = "L"$  となり、トランジスタ M05b および M06a は "OFF" 状態となる。このとき、各々のボディ電位は、 $V_{sp} = V_{dd} + \alpha$  ( $V_{dd}$  よりも高電位)、 $V_{sn} = V_{ss} - \alpha$  ( $V_{ss}$  よりも低電位) とする。これにより、トランジスタ M05b および M06a のしきい値電圧は高くなり、その結果、リーク電流が更に削減される。

(実施形態 6)

本実施形態 6 は、上記実施形態 1, 3 および 4 において、直列接続されたトランジスタの少なくとも何れか一方のトランジスタをゲート電極とボディ電極とを接続したトランジスタにて構成することにより、さらにリーク電流を削減することができる場合である。本実施形態 6 では、この回路構成について、図 15 を一例として説明する。

【0129】

図 15 は、本発明の実施形態 6 の半導体集積回路において、図 1 (b) に示す第 2 セル S2 を用いて、パストランジスタ論理ネットワークを駆動するドライバ回路、パストランジスタ論理ネットワークから出力されるデータを保持するデータ保持回路などを構成するインバータ回路を実現した例を示す図であり、(a) はそのセルパターンおよび配線パターンを示すレイアウト図であり、(b) はその回路図である。なお、このインバータ回路 10 の動作原理は、図 14 に示すインバータ回路 9 と同様である。

【0130】

図 15 において、このインバータ回路 10 は、図 14 に示すボディ電位端子が設けられたトランジスタ M05b および M06a のボディ電極とゲート電極とが互いに接続されている。

【0131】

このように、トランジスタのボディとゲートとを接続すると、チャネルが形成される方向にゲートがバイアスされると共に、ボディ領域はソースに対して順バイアスされるため、しきい値電圧が低下する。オフ時のリーク電流を少なくするために高しきい値電圧に設定されたトランジスタにおいて、動作時にはしきい値電圧が低下して飽和電流値が大きくなるため、高速動作を実現することができる

通常動作時には、 $SL = "L"$ 、 $SLB = "H"$ であり、トランジスタM05aおよびM06bはしきい値電圧が低下して高速に動作する。また、待機時には、 $SL = "H"$ 、 $SLB = "L"$ となり、トランジスタM05bおよびM06aは“OFF”状態となる。このとき、各トランジスタM05bおよびM06aのしきい値電圧は動作時よりも高くなり、リーク電流を削減するように働く。

#### 【0132】

なお、上記実施形態4、5および本実施形態6では、図5に示すように、ドレインに近いトランジスタのゲートにゲート制御信号が入力され、ソースに近いトランジスタに入力信号が入力されるインバータ回路1について説明したが、図10に示すように、ソースに近いトランジスタのゲートにゲート制御信号が入力され、ドレインに近いトランジスタに入力信号が入力されるインバータ回路5についても、同様に、高しきい値トランジスタ、ボディ電位端子を設けてボディ電位を制御可能としたトランジスタ、ボディ電極とゲート電極とを接続したトランジスタを用いることによって、リーク電流を削減することができる。

#### (実施形態7)

上記実施形態1の図7では、直列接続されたトランジスタからなる第2セルを用いてダイナミック型のDFF回路を実現する例を示したが、本実施形態7では、スタティック型回路の一例として、スタティック型のデータラッチ回路を実現する場合について説明する。

#### 【0133】

図16は、本発明の実施形態7の半導体集積回路において、図1(b)に示す第2セルS2を用いて、データラッチ回路11を実現した一例について、そのセルパターンおよび配線パターンを示すレイアウト図であり、図17は、図16のデータラッチ回路11の回路図である。

#### 【0134】

図16および図17において、このデータラッチ回路11は、図1(b)に示す第2セルS2を三つ用いて、各トランジスタM05およびM06の各端子T13～T20を、上層のメタル配線層と、各端子とメタル配線層とを接続するコン



タクトホールとを用いて接続することによって構成されている。各セル 11a ~ 11c はそれぞれインバータ回路となっており、帰還インバータ回路 11c によってスタティック動作する。

#### 【0135】

インバータ回路 11a はゲート制御信号入力端子 T15 に CKB 信号 (CK の反転信号) が入力され、ゲート制御信号入力端子 T18 に CK 信号が入力される。また、インバータ回路 11a の入力端子 T14 および T19 には入力信号 IN が入力される。インバータ回路 11b は入力端子 T14、T15、T18 および T19 がインバータ回路 11a の出力端子 T16 および T17 とインバータ回路 11b の出力端子 T16 および T17 とに接続されている。インバータ回路 11b の出力端子 T16 および T17 はインバータ回路 11c の入力端子 T14 および T15 に接続されると共に、信号出力端子 Q に接続されている。インバータ回路 11c はゲート制御信号入力端子 T15 に CKB 信号が入力され、ゲート制御信号入力端子 T18 に CK 信号が入力されている。

#### 【0136】

このデータラッチ回路 11 において、CK 信号が “H” レベルで CKB 信号が “L” レベルのとき、インバータ回路 11a および 11b が動作し、インバータ回路 11c は “OFF” 状態である。このとき、入力信号 IN はインバータ回路 11a および 11b を介して出力端子 Q から出力される。次に、CK 信号が “L” レベルで CKB 信号が “H” レベルになると、入力段のインバータ回路 11a は “OFF” 状態となり、後段の帰還インバータ回路 11c が “ON” 状態となってデータ保持動作が行われる。

#### 【0137】

このとき、“OFF” 状態となっている初段のインバータ回路 11a は、図 11 を用いて説明したように、直列接続されたトランジスタ M05 および M06 によってリーク電流が削減される。また、CK 信号および CKB 信号の振幅を  $V_{dd}$  よりも高い電位から  $V_{ss}$  よりも低い電位まで広げることによって、図 12 を用いて説明したように、リーク電流がさらに削減される。また、インバータ回路 11a または 11b を図 13 ~ 図 15 に示すような構造とすることによ

っても、リーク電流がさらに削減される。

#### 【0138】

また、インバータ回路 11b は、常時動作状態にあるが、直列接続されたトランジスタ M05a、M05b、M06a および M06b のゲートが共に入力端子となっているため、入力が “L” レベルの場合には、直列接続された NMOS トランジスタ M06 が “OFF” 状態となり、図 11 を用いて説明したように、リーク電流が削減される。また、入力が “H” レベルの場合には、直列接続された PMOS トランジスタ M05 が “OFF” 状態となり、同様にリーク電流が削減される。

#### 【0139】

なお、本実施形態 7 において、帰還インバータ回路 11c は、待機時およびデータ保持時に “ON” 状態となり、上述したようなリーク電流削減機能を有していないため、この部分でのリーク電流は存在する。

#### (実施形態 8)

上記実施形態 1、3～7 では、直列接続されたトランジスタを有する第 2 セル S2 のみを用いてパストランジスタ論理ネットワークを駆動するドライバ回路、パストランジスタ論理ネットワークから出力されたデータを保持するデータ保持回路などを実現する場合を示したが、本発明では、パストランジスタ論理ネットワークを構成する第 1 セル S1 も用意されており、これらのセルを用いて、より多様な回路を実現することができる。そこで、本実施形態 8 では、直列接続されたトランジスタを有する第 2 セルおよびパストランジスタ論理ネットワークを構成する第 1 セルを共に用いて、よりリーク電流を削減することができるデータラッチ回路を実現する場合について説明する。

#### 【0140】

図 18 は、本発明の実施形態 8 の半導体集積回路において、図 8(a) に示す第 1 セル S1 および図 1(b) に示す第 2 セル S2 を用いて、データラッチ回路 12 を実現した例について、そのセルパターンおよび配線パターンを示すレイアウト図であり、図 19 は図 18 の半導体集積回路の回路図である。

#### 【0141】

このデータラッチ回路12は、図8(a)に示す第1セルS1を一つと、図1(b)に示す第2セルS2を三つ用いて、第1セルS1の各トランジスタMP1、MN1、MP2およびMN2の端子TP1～TP6およびTN1～TN6と、第2セルS2の各トランジスタM05およびM06の端子T13～T20とを、上層のメタル配線層と、各端子とメタル配線層とを接続するコンタクトホールとを用いて接続することによって構成されている。各セル12a～12cはそれぞれインバータ回路となっており、セル12dはトランスファークゲート12dとなっている。このデータラッチ回路12は、帰還インバータ回路12cによってスタティック動作し、その帰還動作はトランスファークゲート12dによって制御される。

#### 【0142】

インバータ回路12aはゲート制御信号入力端子T15にCKB信号（CKの反転信号）が入力され、ゲート制御信号入力端子T18にCK信号が入力される。また、インバータ回路12aの入力端子T14およびT19には信号INが入力される。インバータ回路12bは入力端子T14、T15、T18およびT19がインバータ回路12aの出力端子T16およびT17とトランスファークゲート12dを介してインバータ回路12bの出力端子T16およびT17とに接続されている。インバータ回路12bの出力端子T16およびT17はインバータ回路12cの入力端子T14、T15、T18およびT19に接続されると共に、信号出力端子Qに接続されている。

#### 【0143】

このデータラッチ回路12において、CK信号が“H”レベルでCKB信号が“L”レベルのとき、インバータ回路12a～12cが動作し、トランスファークゲート12dは“OFF”状態である。このとき、入力信号INはインバータ回路12aおよび12bを介して出力端子Qから出力される。次に、CK信号が“L”レベルでCKB信号が“H”レベルになると、入力段のインバータ回路12aは“OFF”状態となり、帰還制御しているトランスファークゲート12dが“ON”状態となってデータ保持動作が行われる。

#### 【0144】

このとき、“OFF”状態となっている初段のインバータ回路12aは、図11を用いて説明したように、直列接続されたトランジスタM05およびM06によってリーク電流が削減される。

#### 【0145】

また、インバータ回路12bおよび12cは、常時動作状態にあるが、直列接続されたトランジスタM05a、M05b、M06aおよびM06bのゲートが共に入力端子となっている。このため、入力が“L”レベルの場合には、インバータ回路12bでは直列接続されたNMOSトランジスタM06が“OFF”状態となり、インバータ回路12cでは直列接続されたPMOSトランジスタM05が“OFF”状態となって、図11を用いて説明したように、リーク電流が削減される。また、入力が“H”レベルの場合には、インバータ回路12bでは直列接続されたPMOSトランジスタM05が“OFF”状態となり、インバータ回路12cではNMOSトランジスタM06が“OFF”状態となって、同様にリーク電流が削減される。

#### 【0146】

さらに、初段のインバータ回路12aに入力されるCK信号およびCKB信号の振幅をV<sub>dd</sub>よりも高い電位からV<sub>ss</sub>よりも低い電位まで広げることによって、図12を用いて説明したように、リーク電流がさらに削減される。さらに、インバータ回路12a～12cを図13～図15に示すような構造とすることによっても、リーク電流がさらに削減される。

#### 【0147】

以上により、本実施形態8によれば、全てのインバータ回路12a～12cがリーク電流を削減可能となっているため、上記実施形態7において図17に示すデータラッチ回路11に比べて、リーク電流をさらに削減することができる。また、帰還動作を制御するトランスファークゲート12dに入力されるCK信号を、上記インバータ回路12aと同様に、振幅をV<sub>dd</sub>よりも高い電位からV<sub>ss</sub>よりも低い電位まで広げることによって、図12を用いて説明したように、さらにリーク電流を削減することができる。さらに、トランスファークゲート12dを、高しきい値トランジスタで構成することにより、リーク電流をさらに削減するこ

とができる。

(実施形態 9)

本実施形態 9 では、上記実施形態 1 ～ 8 に示すような回路を用いて、アクティブ状態にある回路ブロックのみ動作させ、非アクティブ状態の回路ブロックは待機状態（停止状態）に制御することによって、半導体集積回路の消費電力を削減する場合について説明する。

【0148】

図 20 は、本発明の実施形態 9 の半導体集積回路の製造方法によって作製される半導体集積回路の回路図である。

【0149】

図 20 において、この半導体集積回路は、入力端子 T21 ～ T26 と、ゲート制御信号入力端子を有するインバータバッファ回路 13a ～ 13f と、パストランジスタ論理回路ブロック 14a および 14b と、その出力信号を保持するデータ保持回路 15a ～ 15d と、出力端子 T27 ～ T30 とを備えている。

【0150】

インバータバッファ回路 13a ～ 13f は、上記各実施形態 1 ～ 8 で説明したように、図 1 (b) に示すような直列接続された PMOS トランジスタおよび直列接続された NMOS トランジスタを有する第 2 セルを用いて構成されている。このインバータバッファ回路 13a ～ 13f は、ゲート制御信号入力端子から入力された信号 SL および SLB によって動作モードと待機モードとが制御され、待機時のリーク電流を削減するようになっている。

【0151】

パストランジスタ論理回路ブロック 14a および 14b は、上記各実施形態 1 ～ 8 で説明したように、図 1 (a) に示すような複数の NMOS トランジスタまたは図 8 (a) に示すような NMOS トランジスタと PMOS トランジスタが対となった第 1 セルをいくつか用いて、所望の論理演算機能が実現されている。

【0152】

データ保持回路 15a ～ 15d は、上記各実施形態で説明したように、図 1 (b) に示すような直列接続された PMOS トランジスタおよび直列接続された N

MOSトランジスタを有する第2セルを用いて、フリップフロップ回路、ラッチ回路などが構成されている。このデータ保持回路15a～15dは、信号CK1およびCK2が停止することにより、リーク電流を削減しつつ、データを保持する機能を有する。

#### 【0153】

本実施形態9の半導体集積回路において、全てのパストランジスタ論理回路ブロック14aおよび14bが動作している場合には、全ての回路が動作状態となる。

#### 【0154】

また、パストランジスタ論理回路ブロック14aの論理演算のみが実行され、パストランジスタ論理回路ブロック14bの論理演算は実行されていない状態では、パストランジスタ論理回路ブロック14aにのみデータが入力され、パストランジスタ論理回路ブロック14aからの出力のみデータ保持動作が行われればよい。

#### 【0155】

従って、インバータバッファ回路は、パストランジスタ論理回路ブロック14aに信号を供給するインバータバッファ回路13a～13dが動作状態になるように、制御信号SELおよびSELBにより制御される。また、パストランジスタ論理回路ブロック14aに信号を供給しないインバータバッファ回路13eおよび13fは待機状態になるように、制御信号SELおよびSELBにより制御される。このとき、待機状態にあるインバータバッファ回路13eおよび13fは、上記各実施形態1～8で説明したように、リーク電流を削減するように働く。

#### 【0156】

また、データ保持回路についても、パストランジスタ論理回路ブロック14aからの出力に接続されているデータ保持回路15aおよび15bにのみCK信号（CK1）が入力されて動作し、パストランジスタ論理回路ブロック14aからの出力に接続されていないデータ保持回路15cおよび15dのCK信号（CK2）は停止している。このとき、CK信号が停止しているデータ保持回路15c

および 15 d は、上記各実施形態 1～8 で説明したように、CK 信号の停止中はそれまでのデータを保持しつつ、リーク電流を削減するように動作する。

#### 【0157】

この場合、パストランジスタ論理回路ブロック 14 b のみでは電流は消費されない。このように構成することによって、パストランジスタ論理回路ブロック 14 a による論理演算に必要な回路部分のみが動作し、他の部分は動作せず、リーク電流も削減されるので、無駄な電力を消費せずに消費電力を削減することができる。

#### 【0158】

同様に、パストランジスタ論理演算ブロック 14 b の論理演算機能のみが実行され、パストランジスタ論理演算ブロック 14 a の論理演算機能は実行されていない状態では、パストランジスタ論理回路ブロック 14 b にのみデータが入力され、パストランジスタ論理回路ブロック 14 b からの出力のみデータ保持動作が行われればよい。

#### 【0159】

従って、インバータバッファ回路は、パストランジスタ論理回路ブロック 14 b に信号を供給するインバータバッファ回路 13 a、13 b および 13 d～13 f が動作状態になるように、制御信号 SEL および SEL B により制御される。また、パストランジスタ論理回路ブロック 14 b に信号を供給しないインバータバッファ回路 13 c は待機状態になるように、制御信号 SEL および SEL B により制御される。このとき、待機状態にあるインバータバッファ回路 13 c は、上記各実施形態 1～8 で説明したように、リーク電流を削減するように働く。

#### 【0160】

また、データ保持回路についても、パストランジスタ論理回路ブロック 14 b からの出力に接続されているデータ保持回路 15 c および 15 d にのみ CK 信号 (CK 2) が入力されて動作し、パストランジスタ論理回路ブロック 14 b からの出力に接続されていないデータ保持回路 15 a および 15 b の CK 信号 (CK 1) は停止している。このとき、CK 信号が停止しているデータ保持回路 15 a および 15 b は、上記各実施形態 1～8 で説明したように、CK 信号の停止中は

それまでのデータを保持しつつ、リーク電流を削減するように動作する。

#### 【0161】

この場合、パストランジスタ論理回路ブロック 14 a のみでは電流は消費されない。このように構成することによって、パストランジスタ論理回路ブロック 14 b による論理演算に必要な回路部分のみが動作し、他の部分は動作せず、リーク電流も削減されるので、無駄な電力を消費せずに消費電力を削減することができる。

#### 【0162】

また、回路が待機状態にあるときには、インバータバッファ回路およびデータ保持回路も待機状態（停止状態）となり、消費電流を削減し、かつ、リーク電流も削減することができる。

#### 【0163】

このように、パストランジスタ論理ネットワークを構成する複数のトランジスタによって構成される第 1 セルと、直列接続された PMOS トランジスタおよび直列接続された NMOS トランジスタによって構成される第 2 セルとを用いて半導体集積回路を構成することにより、必要な部分のみを動作させ、他の部分ではリーク電流を削減して、低消費電力で無駄な電力消費がない半導体集積回路を容易に実現することができる。

#### 【0164】

さらに、回路に入力されるゲート制御信号 SEL、SELB およびクロック信号 CK1、CK2 の信号振幅を V<sub>dd</sub> よりも高い電位から V<sub>ss</sub> よりも低い電位まで広げることによって、リーク電流をさらに削減することも可能である。

#### （実施形態 10）

上記実施形態 7～9 において、回路に入力されるゲート制御信号 SEL、SELB およびクロック信号 CK1、CK2 の信号振幅を V<sub>dd</sub> よりも高い電位から V<sub>ss</sub> よりも低い電位まで広げてリーク電流を削減する場合、電源電圧よりも広い振幅を有する信号を駆動するドライバ回路には、拡大された電圧がかかる。このため、今日のように微細化が進んだデバイスにおいては、ソースドレイン間の耐圧が問題となることがある。そこで、本実施形態 10 では、直列接続された



PMOS トランジスタおよび直列接続された NMOS トランジスタからなる第 2 セルにおいて、各直列接続トランジスタを構成するトランジスタのゲートを接続したインバータ回路を用いてドライバ回路を実現する例について説明する。

#### 【0165】

図 21 は、本発明の実施形態 10 の半導体集積回路において、図 1 (b) に示す第 2 セル S2 を用いて、ドライバ回路として用いられるインバータ回路 16 を実現した例について、そのセルパターンおよび配線パターンを示すレイアウト図であり、図 22 は、図 21 の半導体集積回路の回路図である。

#### 【0166】

図 21 および図 22 において、このインバータ回路 16 は、図 1 (b) に示す第 2 セル S2 を構成する各トランジスタ M05 および M06 の端子 T13 ~ T20 を、上層のメタル配線層と、各端子とメタル配線層とを接続するコンタクトホールとを用いて接続することによって構成されている。トランジスタ M05a、M05b、M06a および M06b のゲートは互いに接続されて信号 IN が入力されるようになっている。

#### 【0167】

このように、各トランジスタの全ゲートを接続することによって、直列接続トランジスタ M05 および M06 を構成する各トランジスタ M05a、M05b、M06a および M06b にかかる電圧が分圧される。これによって、実際に各トランジスタ M05a、M05b、M06a および M06b にかかる電圧が電源電圧より低くなるため、直列接続トランジスタとしてみた場合に耐圧が向上する。このように、本実施形態 10 によれば、より高電圧まで信号を印加することができるドライバ回路を容易に実現することができる。

#### (実施形態 11)

上記各実施形態 1 ~ 10 において、トランジスタを SOI (Silicon onInsulator) 構造とすることにより、より低消費電力な半導体集積回路を実現することができる。本実施形態 11 では、この SOI 構造のトランジスタを用いた半導体集積回路について説明する。

#### 【0168】

図 22 は、S O I 構造のトランジスタの構成を示す断面図である。

【0169】

図 22 において、S O I 構造においては、基板 17 と素子とが埋め込み酸化膜 18 によって分離されており、トランジスタは埋め込み酸化膜 18 上の薄膜 S i に形成されている。トランジスタのチャネルとなる p 型ボディ領域 21 の両側が n + ソース領域 20 および n + ドレイン領域 22 となっている。ソース領域 20 ~ ドレイン領域 22 の上にはゲート酸化膜 23 が設けられており、その上にボディ領域 21 と重畳するようにゲート電極 24 が設けられている。

【0170】

S O I 構造においては、ソース領域 20 およびドレイン領域 22 が酸化膜 19 で囲われているため、トランジスタの接合容量が小さく、低消費電力を実現することができる。また、S O I 構造のトランジスタは、急峻なサブスレッショルド特性を有することから、ソースドレイン電圧が小さいときにおいても、バルク MOS デバイスなどに比べて大きな電流が得られ、パストランジスタ論理回路に適している。したがって、S O I 構造のトランジスタを用いることにより、より低消費電力の半導体集積回路を実現することができる。

【0171】

また、S O I 構造のトランジスタは、急峻なサブスレッショルド特性によってしきい値電圧を小さくすることができるため、低電圧動作の半導体集積回路を実現することができる。また、低電圧動作を実現するためにパストランジスタ論理ゲートを CMOS 化した場合に、バルク構造に比べて面積、付加容量の増加を非常に小さくすることができるため、回路の小型化を図ることができる。

(実施形態 12)

上記実施形態 1 では、本発明をスタンダードセル方式に適用した例について説明したが、本発明は、ゲートアレイ方式に適用することも可能である。本実施形態 12 では、コンピュータ内の情報処理装置が、ゲートアレイ方式論理回路合成制御用プログラムに基づいて、パストランジスタ論理ネットワークを構成する複数のトランジスタからなる第 1 セルと、直列接続された二つの PMOS トランジスタおよび直列接続された二つの NMOS トランジスタからなる第 2 セルとを基

本セルとして含む複数の基本セル列が配置された基板を用いて、基本セル内の配線パターンおよび基本セル間の配線パターンを決定することによって自動合成した所望の論理回路を製造する場合について説明する。

#### 【0172】

ゲートアレイ方式においては、基本ゲートを作製するための複数のトランジスタからなる基本セルが何列も整然と並べられ、金属配線形成工程以前の段階まで製造工程が完了した基板に対して、図3に示すコンピュータシステム40を用いてトランジスタ間を配線することにより、所望の論理回路が作製される。

#### 【0173】

ROM41には、ゲートアレイ方式論理回路合成用制御プログラムと共に、基本セルを構成するトランジスタの配置情報、トランジスタの端子位置情報、基本セルを用いて基本ゲートを作製するための配線情報など、基本セルに関する情報が記憶されており、CPU42は、ROM41から読み出したゲートアレイ方式論理回路合成用制御プログラムに基づいて、基本セルの情報を用いて、基本セル内のトランジスタ間を接続する配線の配線パターンを決定（基本ゲートの配置を決定）すると共に基本ゲート間を接続する配線の配線パターンを決定する。このとき、各配線パターンは、操作部44から入力された回路仕様や設計制約条件などを満たすと共に、各基本ゲート間の全配線が短く、かつ、単純になるように決定される。このようにして決定された配線パターンを、1層以上の金属配線マスク上に転写し、このマスクを用いて基本セル内のトランジスタ間を接続する配線および基本ゲート間を接続する配線を作製することにより半導体集積回路が製造される。

#### 【0174】

図23は、本実施形態12の半導体集積回路におけるセル列のパターンを示すレイアウト図である。

#### 【0175】

ここでは、半導体チップ30上には、複数のセル列26～30が配置されている。各セル列26～30は、それぞれ、上記各実施形態で説明したように、図1(a)に示すような複数のNMOSトランジスタまたは図8(a)に示すような

NMOSトランジスタとPMOSトランジスタとが対となったトランジスタからなるパストランジスタ論理ネットワーク用の第1セルS1、および図1(b)に示すような直列接続されたPMOSトランジスタおよび直列接続されたNMOSトランジスタからなる第2セルS2によって構成されている。

#### 【0176】

例えば、セル列26、28および30にはパストランジスタ論理ネットワーク用の第1セルが複数並べられ、セル列27および29には直列接続されたトランジスタからなる第2セルが複数並べられている。または、セル列26～30は、それぞれ、パストランジスタ論理ネットワーク用の第1セルと、直列接続されたトランジスタからなる第2セルとがそれぞれ複数並べられている。

#### 【0177】

このように、2種の基本セルを任意の構成比にて、半導体チップ30上に予め配置しておき、これらの基本セルを用いて、下層の配線層にてセル内でトランジスタ間を接続し、上層の配線層にて基本ゲート間の接続を行うことにより、ゲートアレイ方式によって、上記実施形態1～実施形態11で説明した論理回路と同様の論理回路が作製される。

#### 【0178】

このように、本実施形態12によれば、ゲートアレイ方式によって本発明の半導体集積回路を実現することができる。

#### 【0179】

以上により、上記実施形態1～12によれば、スタンダードセル方式またはゲートアレイ方式によって、パストランジスタ論理ネットワークを構成する複数のトランジスタM01～M04からなる第1セルS1を用いて論理演算回路を作製し、直列接続されたPMOSトランジスタM05および直列接続されたNMOSトランジスタM06からなる第2セルS2を用いて論理演算回路を駆動するドライバ回路、論理演算回路からの出力データを保持するデータ保持回路などを作製する。これによって、より小さいセルサイズで、かつ、少ない種類のセルにより複数種類の論理機能を実現し、第2セルは、直列接続されたトランジスタからなり、ソースドレイン電圧が分圧されるため、単一のトランジスタに比べてリー

ク電流を削減することができ、また、従来の電源スイッチを用いないため、動作時に電源スイッチによる I R ドロップの影響を無くして動作特性を向上させることができる。

#### 【0180】

##### 【発明の効果】

以上説明したように、本発明によれば、パストランジスタ論理ネットワークを構成する複数のトランジスタからなる第1セルと、直列接続された二つのPMOSトランジスタおよび直列接続された二つのNMOSトランジスタからなる第2セルとの2種類のセル構造をライブラリに用意することによって、スタンダードセル方式によって、低消費電力の半導体集積回路を容易に実現することができる。

#### 【0181】

また、本発明によれば、パストランジスタ論理ネットワークを構成する複数のトランジスタからなる第1セルと、直列接続された二つのPMOSトランジスタおよび直列接続された二つのNMOSトランジスタからなる第2セルとの2種類のセルを、予め基板上に作製しておき、上層の配線層にて回路接続を行うことにより、ゲートアレイ方式においても、低消費電力の半導体集積回路を容易に実現することができる。

#### 【0182】

本発明によれば、第1セルを用いて論理演算回路を構成し、第2セルを用いて論理演算回路を駆動するインバータバッファ回路などのドライバ回路および論理演算回路からの出力データを保持するラッチ回路、フリップフロップ回路などのデータ保持回路を構成することができる。上記第2セルは、直列接続されたトランジスタによって構成されており、単一のトランジスタに比べてリーク電流を削減することができるため、待機時のリーク電流を削減することができる。

#### 【0183】

上記第2セルにおいて、直列接続されたPMOSトランジスタのソースを第1電源電圧 $V_{dd}$ に接続し、直列接続されたNMOSトランジスタのソースを第2電源電圧 $V_{ss}$  (GND) に接続し、直列回路のソースに近いPMOSトラン

ジスタのゲートと直列回路のソースに近いNMOSトランジスタのゲートを接続して入力端子とし、直列回路のドレインに近いPMOSトランジスタのゲートと直列回路のドレインに近いNMOSトランジスタのゲートとをそれぞれゲート制御信号入力端子とし、PMOSトランジスタのドレインとNMOSトランジスタのドレインとを接続して出力端子として、バッファ回路、フリップフロップ回路などを構成するインバータ回路を作製することによって、待機時に回路を“OFF”状態として無駄な待機電流が流れないようにすることができる。また、直列回路のドレインに近いトランジスタを制御することによって、入力された信号の遷移帰還による電流消費を抑え、低消費電力を実現することができる。

#### 【0184】

また、上記第2セルにおいて、直列接続されたPMOSトランジスタのソースを第1電源電圧 $V_{dd}$ に接続し、直列接続されたNMOSトランジスタのソースを第2電源電圧 $V_{ss}$  (GND) に接続し、ドレインに近いPMOSトランジスタのゲートとドレインに近いNMOSトランジスタのゲートを接続して入力端子とし、ソースに近いPMOSトランジスタのゲートとソースに近いNMOSトランジスタのゲートとをそれぞれゲート制御信号入力端子とし、PMOSトランジスタのドレインとNMOSトランジスタのドレインとを接続して出力端子として、バッファ回路、フリップフロップ回路などを構成するインバータ回路を作製することによって、待機時に回路を“OFF”状態として無駄な待機電流が流れないようにすることができる。また、ソースに近いトランジスタを制御することによって、入力信号の変化に対してより高速に動作することができる。

#### 【0185】

また、ゲート制御信号入力端子に入力されるゲート制御信号は、高電位側をPMOSトランジスタのソースに接続されている第1電源電圧 $V_{dd}$ よりも高く設定することにより、PMOSトランジスタが“OFF”状態のときのリーク電流を削減し、待機時の消費電力を削減することができる。また、低電位側をNMOSトランジスタのソースに接続されている第2電源電圧 $V_{ss}$  (GND) よりも低く設定することにより、NMOSトランジスタが“OFF”状態のときのリーク電流を削減し、待機時の消費電力を削減することができる。

## 【0186】

また、上記第2セルは、一方のトランジスタを高しきい値トランジスタで構成することにより、低しきい値トランジスタで構成した場合に比べてさらにリーク電流を削減して待機時の消費電力を削減することができる。

## 【0187】

また、上記第2セルは、一方のトランジスタにボディ電位端子を設けてボディ電位を制御可能とし、しきい値電圧を制御することができる。通常動作時にはしきい値電圧を低くするようにボディ電位を制御して高速に動作させ、待機時にはしきい値電圧が高くなるようにボディ電位を制御してリーク電流を削減することによって、待機時の消費電流を削減することができる。

## 【0188】

また、上記第2セルは、一方のトランジスタのゲート電極とボディ電極とを接続することにより、トランジスタが“ON”状態になるときはしきい値電圧が低くなるように、トランジスタが“OFF”状態になるときはしきい値電圧が高くなるようにボディ電位が自動的に制御される。これによって、トランジスタが“ON”状態のときにはしきい値電圧が低くなり、ドライブ能力も高くなって高速動作が可能となる。また、トランジスタが“OFF”状態のときにはしきい値電圧が高くなり、リーク電流を削減することが可能となる。

## 【0189】

上記第2セルを用いて構成されるデータ保持回路、ドライバ回路などは、アクティブ状態の回路ブロックのみ動作状態とし、非アクティブ状態の回路ブロックが待機状態（停止状態）となるように制御することができる。これによって、動作（演算）に必要な回路ブロックのみが動作し、他のブロックは動作しないため、そのときのリーク電流に関わる待機電流を削減することができ、無駄な電力を消費せずに低消費電力な半導体集積回路を実現することができる。

## 【0190】

本発明において、トランジスタをSOI構造とすることにより、SOI構造の特性である低しきい値、低接合容量により低消費電力を実現することができる。

## 【図面の簡単な説明】

**【図 1】**

(a) は本発明の実施形態 1 のパストランジスタ論理ネットワークを構成する第 1 セルのセルパターン例を示すレイアウト図であり、(b) は本発明の実施形態 1 の直列接続 PMOS トランジスタおよび直列接続 NMOS トランジスタからなる第 2 セルのセルパターン例を示すレイアウト図である。

**【図 2】**

(a) は本発明の実施形態 1 の第 1 セルの回路構成を示す回路図であり、(b) は本発明の実施形態 1 の第 2 セルの回路図である。

**【図 3】**

本発明の半導体集積回路の製造に用いられるコンピュータシステムの構成を示すブロック図である。

**【図 4】**

本発明の実施形態 1 の半導体集積回路の構成例を示す回路図である。

**【図 5】**

(a) は本発明の実施形態 1 のインバータバッファ回路のセルパターンおよび配線パターンを示すレイアウト図であり、(b) はその回路構成を示す回路図である。

**【図 6】**

本発明の実施形態 1 のパストランジスタ論理ネットワーク部のセルパターンおよび配線パターンを示すレイアウト図である。

**【図 7】**

(a) は本発明の実施形態 1 のフリップフロップ回路のセルパターンおよび配線パターンを示すレイアウト図であり、(b) はその回路構成を示す回路図であり、(c) はその動作タイミングを示すタイミングチャートである。

**【図 8】**

(a) は本発明の実施形態 2 のパストランジスタ論理ネットワークを構成する第 1 セルのセルパターン例を示すレイアウト図であり、(b) はその回路構成を示す回路図である。

**【図 9】**



(a) は本発明の実施形態 2 のセレクト論理回路のセルパターンおよび配線パターンを示すレイアウト図であり、(b) はその回路構成を示す回路図であり、(c) はその入力信号 SEL, SELB と出力信号 Y との関係を示す表である。

【図 10】

(a) は本発明の実施形態 3 のインバータ回路のセルパターンおよび配線パターンを示すレイアウト図であり、(b) はその回路構成を示す回路図である。

【図 11】

(a) は単一トランジスタの回路図であり、(b) は直列接続トランジスタの回路図であり、(c) は単一トランジスタの特性を示すグラフであり、(d) は直列接続トランジスタの特性を示すグラフである。

【図 12】

ゲート制御信号電位を、高電位側は  $V_{dd}$  より高く、低電位側  $V_{ss}$  より低く設定した場合のトランジスタ特性を示すグラフである。

【図 13】

(a) は本発明の実施形態 4 のインバータ回路のセルパターンおよび配線パターンを示すレイアウト図であり、(b) はその回路構成を示す回路図である。

【図 14】

(a) は本発明の実施形態 5 のインバータ回路のセルパターンおよび配線パターンを示すレイアウト図であり、(b) はその回路構成を示す回路図である。

【図 15】

(a) は本発明の実施形態 6 のインバータ回路のセルパターンおよび配線パターンを示すレイアウト図であり、(b) はその回路構成を示す回路図である。

【図 16】

本発明の実施形態 7 のデータラッチ回路のセルパターンおよび配線パターンを示すレイアウト図である。

【図 17】

本発明の実施形態 7 のデータラッチ回路の回路構成を示す回路図である。

【図 18】

本発明の実施形態 8 のデータラッチ回路のセルパターンおよび配線パターンを

示すレイアウト図である。

【図 19】

本発明の実施形態 8 のデータラッチ回路の回路構成を示す回路図である。

【図 20】

本発明の実施形態 9 の半導体集積回路の構成を示すブロック図である。

【図 21】

(a) は本発明の実施形態 10 のインバータ回路のセルパターンおよび配線パターンを示すレイアウト図であり、(b) はその回路構成を示す回路図である。

【図 22】

本発明の実施形態 11 の SOI 構造トランジスタの構成を示す断面図である。

【図 23】

本発明の実施形態 12 のセル列のパターンを示すレイアウト図である。

【図 24】

(a) は特許文献 1 に開示されているセル PC1 の形状を示す斜視図であり、(b) はその回路図であり、(c) はそのレイアウト図である。

【図 25】

特許文献 1 に開示されているセル PC1 の信号印加例を示す斜視図である。

【図 26】

特許文献 2 に開示されているランダムロジック回路の構成を示すブロック図である。

【図 27】

特許文献 2 に開示されているフリップフロップ回路の回路図である。

【符号の説明】

M01～M04 NMOS トランジスタ

M05 直列接続 PMOS トランジスタ

M05a、M05b PMOS トランジスタ

M06 直列接続 NMOS トランジスタ

M06a、M06b NMOS トランジスタ

S1 第 1 セル

S2 第2セル

T1～T20 端子

N1～N7 ノード

MP1、MP2 PMOSトランジスタ

MN1、MN2 NMOSトランジスタ

TP1～TP6 PMOSトランジスタの端子

TN1～TN6 NMOSトランジスタの端子

T21～T26 入力端子

T27～T30 出力端子

1、5、6、9、10、11a～11c、12a～12c、16 インバータ

## 回路

1a～1e、13a～13f インバータバッファ回路

2 パストランジスタ論理ネットワーク部

2a～2d NMOSトランジスタ

3 フリップフロップ回路

4 セレクタ論理回路

4a、4b トランスファークゲート

7 PMOSトランジスタのしきい値を高くするためのマスク領域

8 NMOSトランジスタのしきい値を高くするためのマスク領域

11、12 データラッチ回路

12d トランスファークゲート

14a、14b パストランジスタ論理回路ブロック

15a～15d データ保持回路

17 基板

18 埋め込み酸化膜

19 酸化膜

20 ソース領域

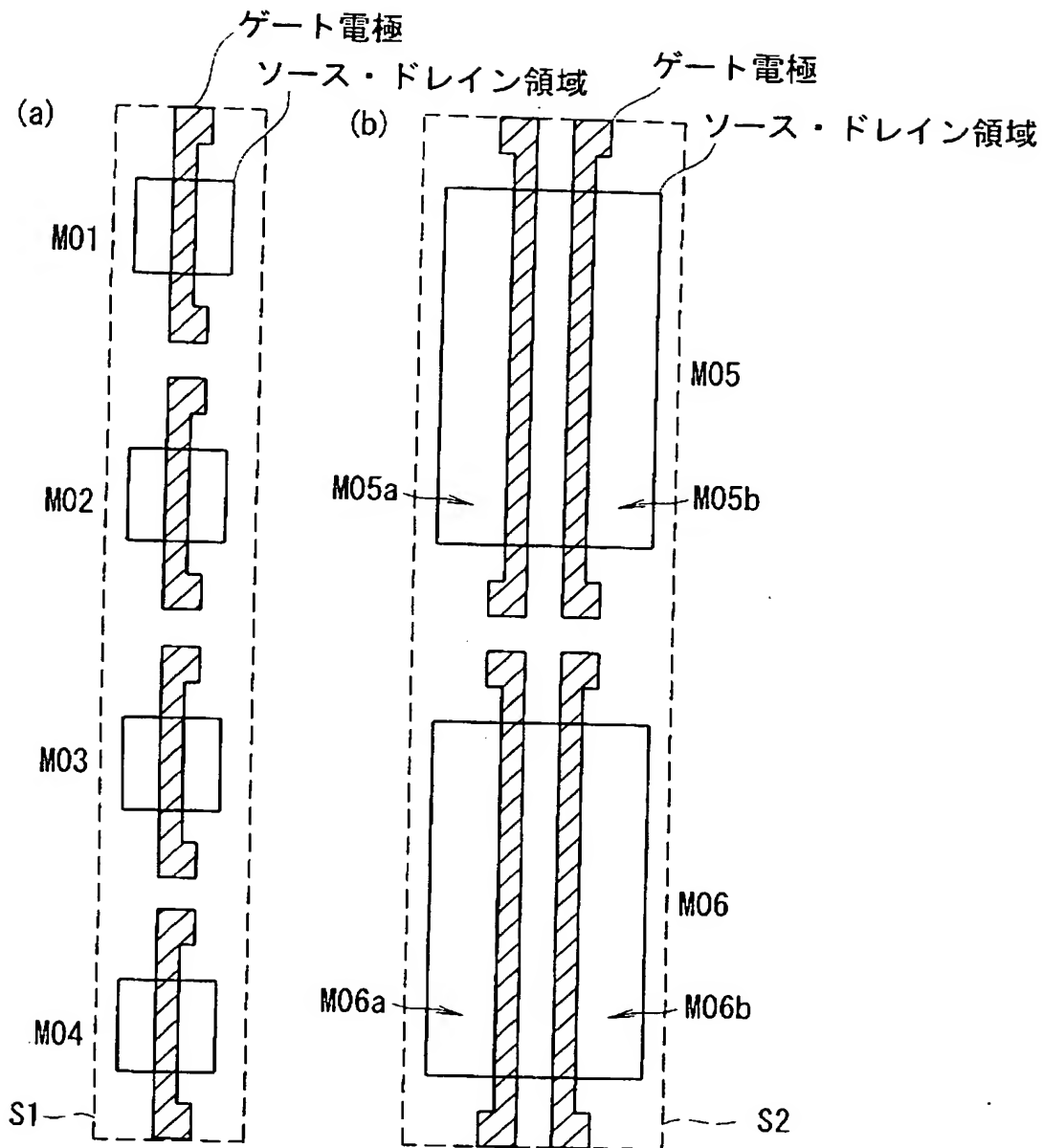
21 ボディ領域

22 ドレイン領域

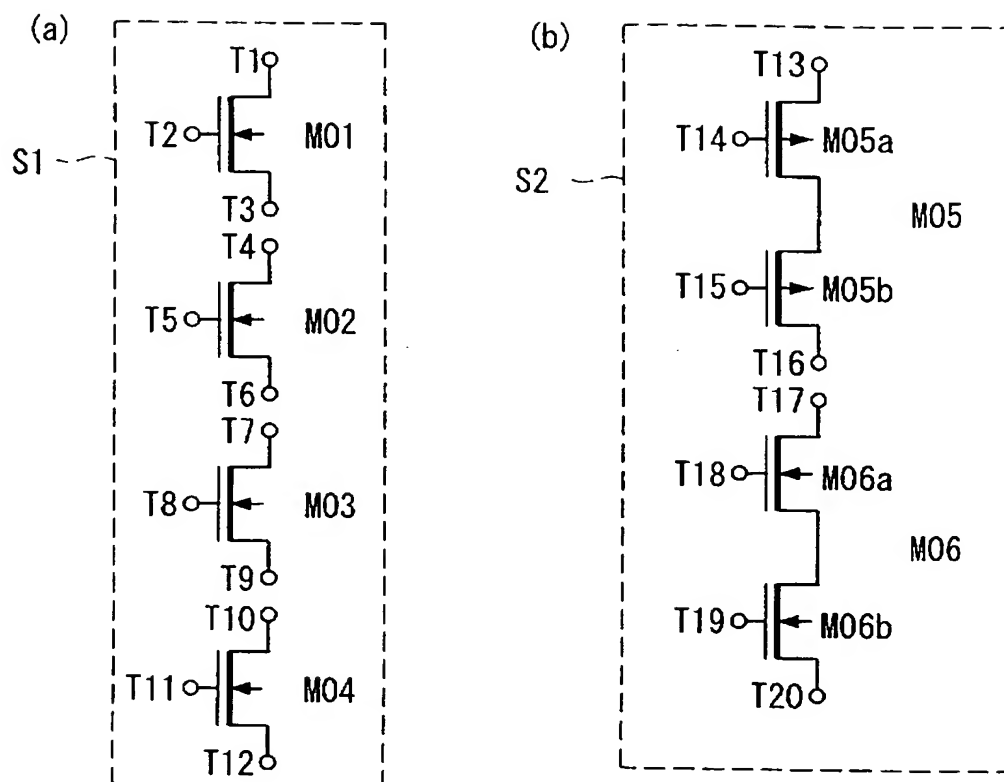
- 2 3 ゲート酸化膜
- 2 4 ゲート電極
- 2 5 半導体チップ
- 2 6 ~ 3 0 セル列
- 4 0 コンピュータシステム
- 4 1 R O M
- 4 2 C P U
- 4 3 R A M
- 4 4 操作部
- 4 5 表示部

【書類名】 図面

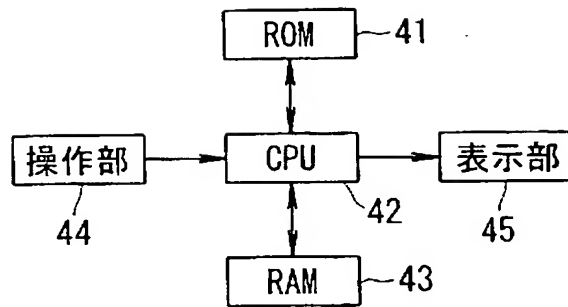
【図 1】



【図 2】

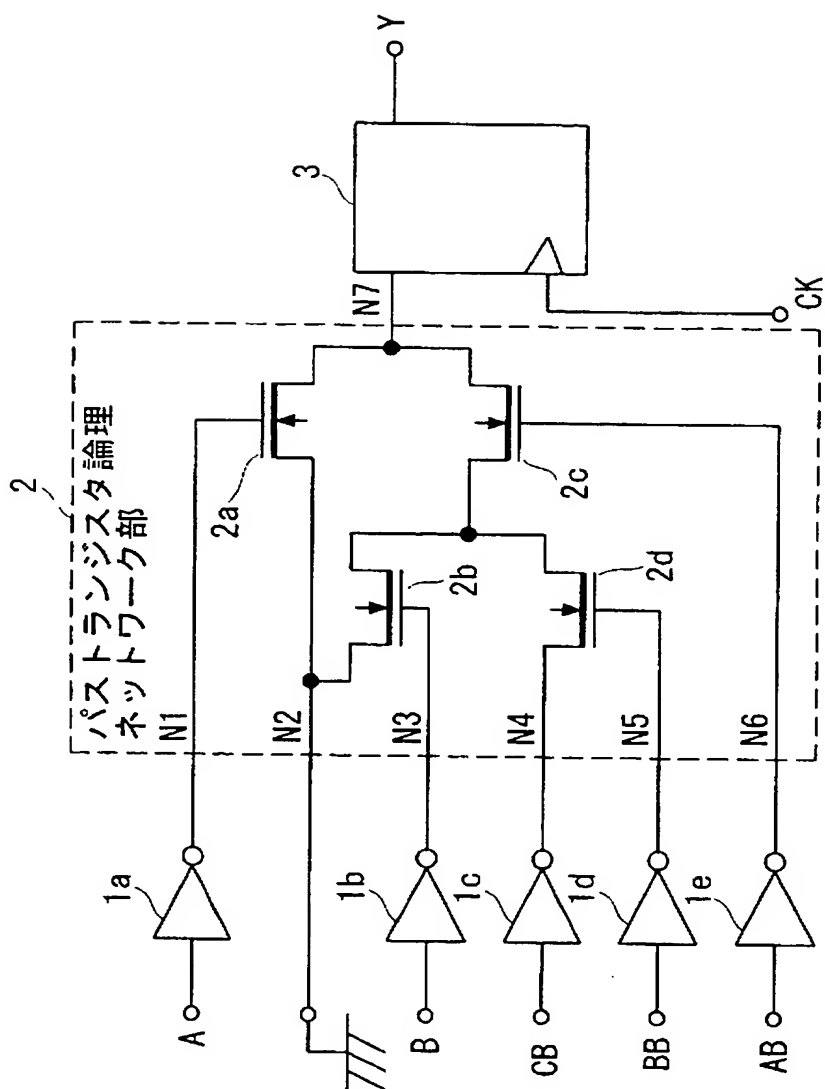


【図 3】



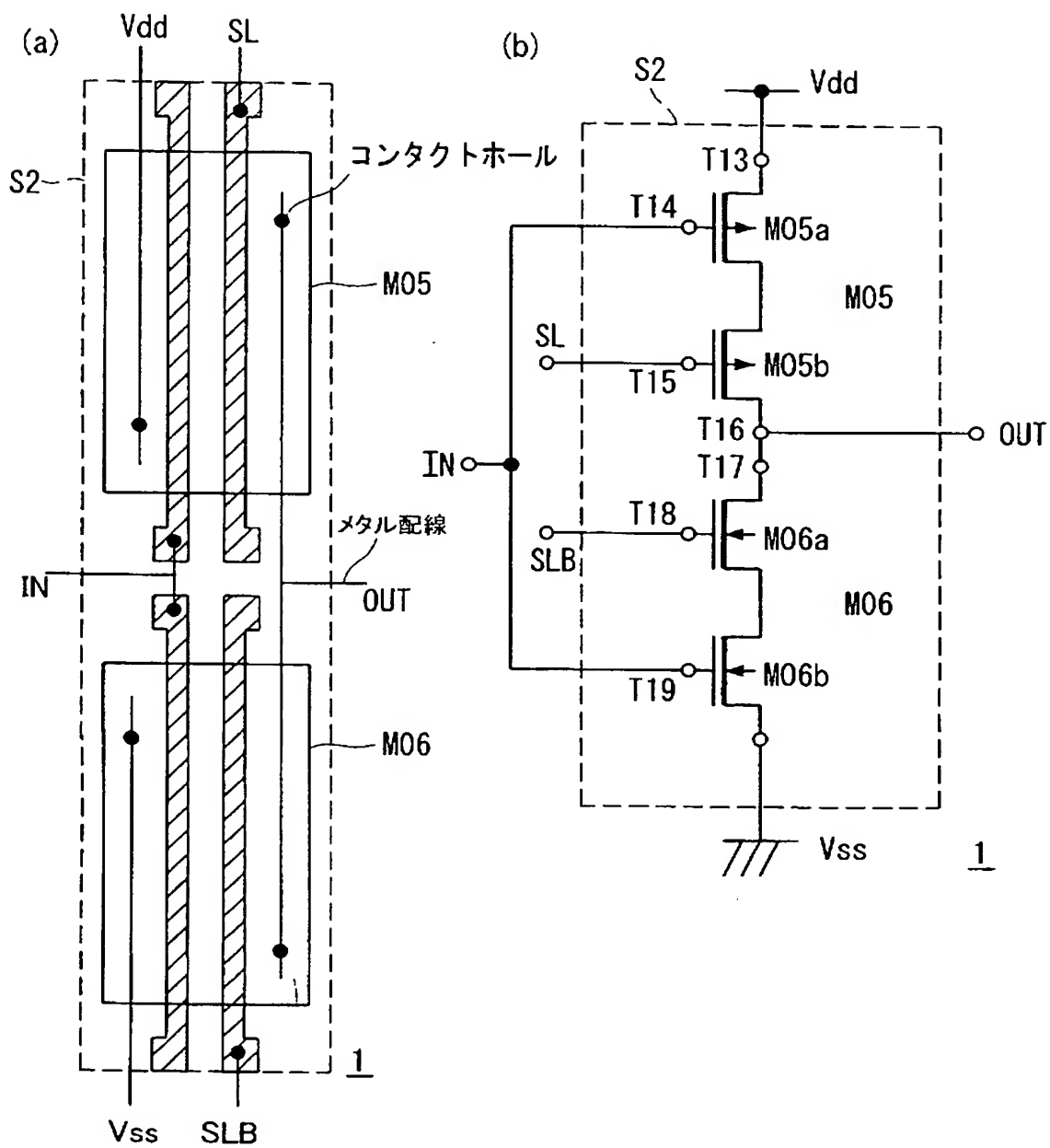
40

【図 4】

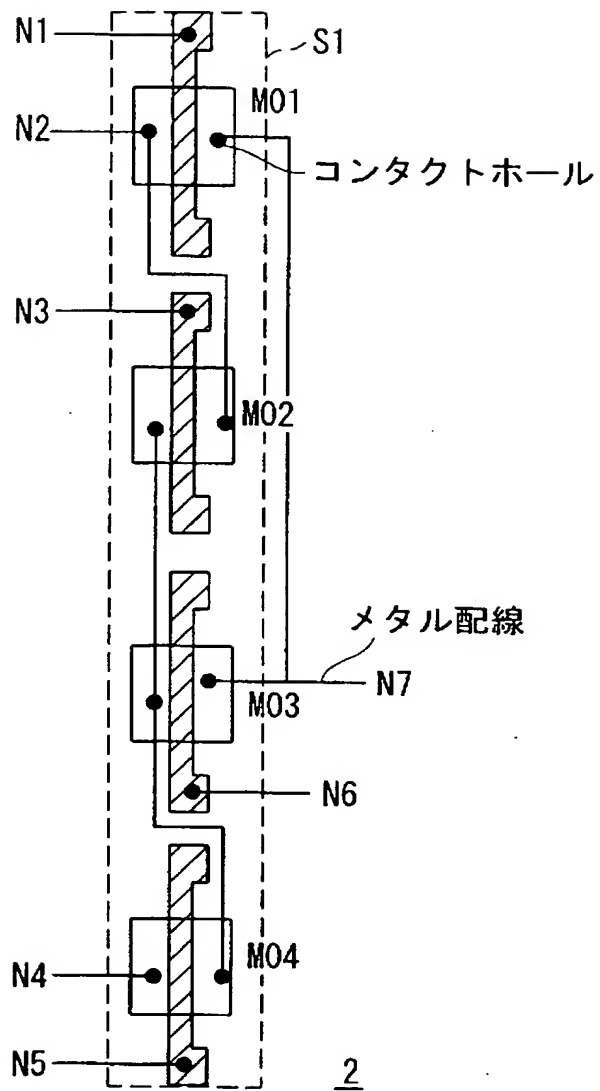




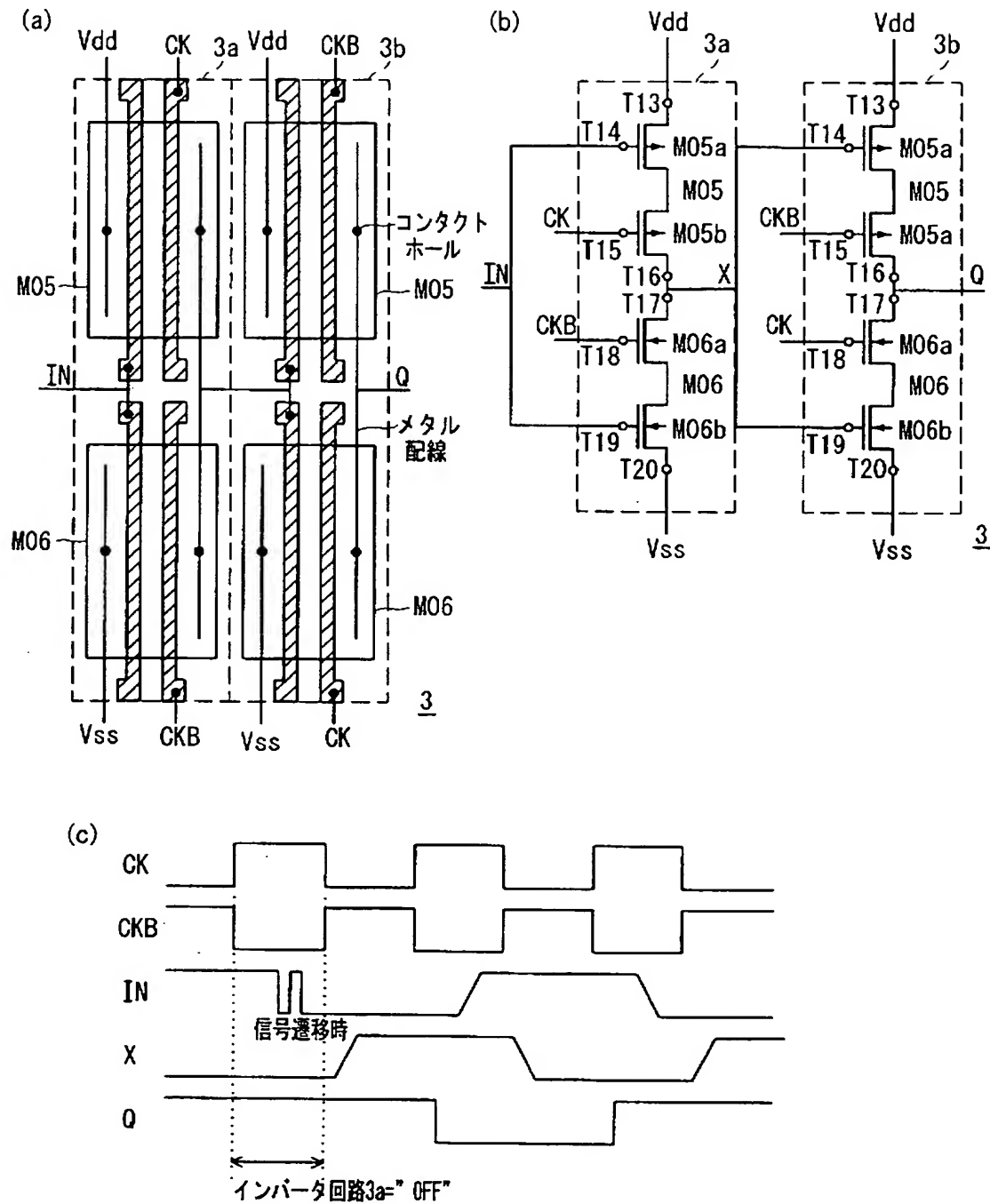
【図 5】



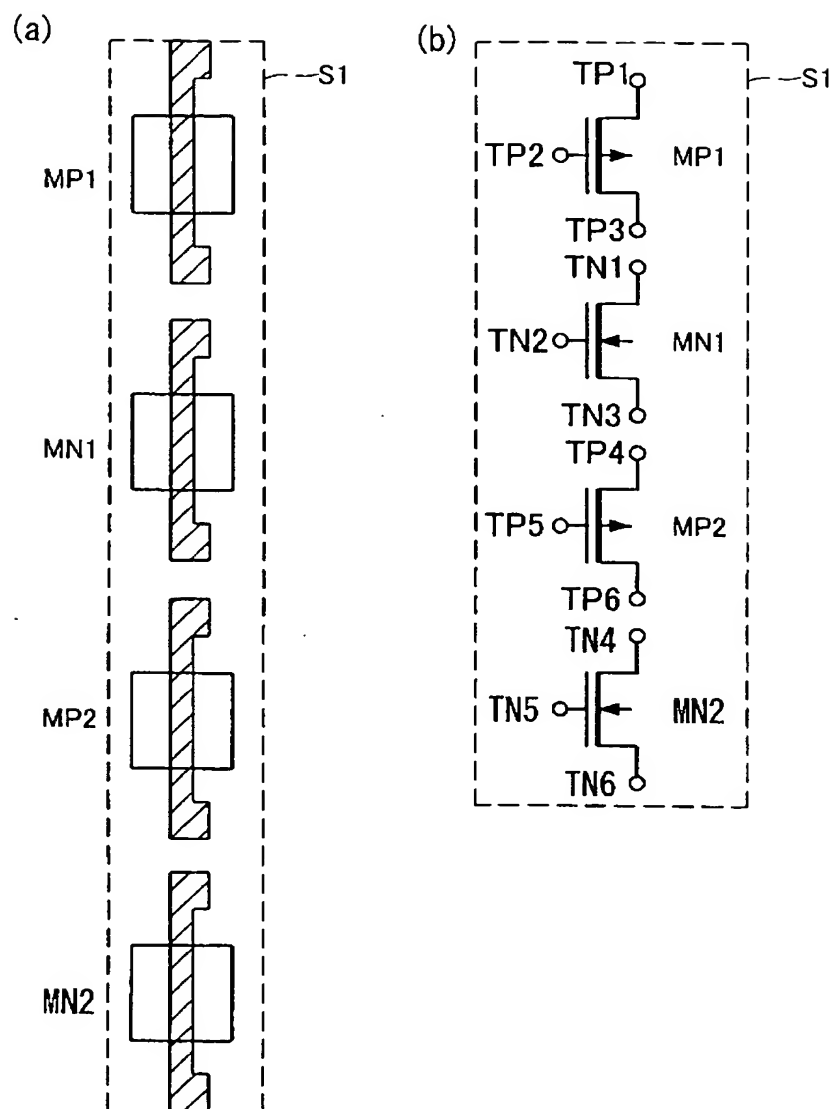
【図 6】



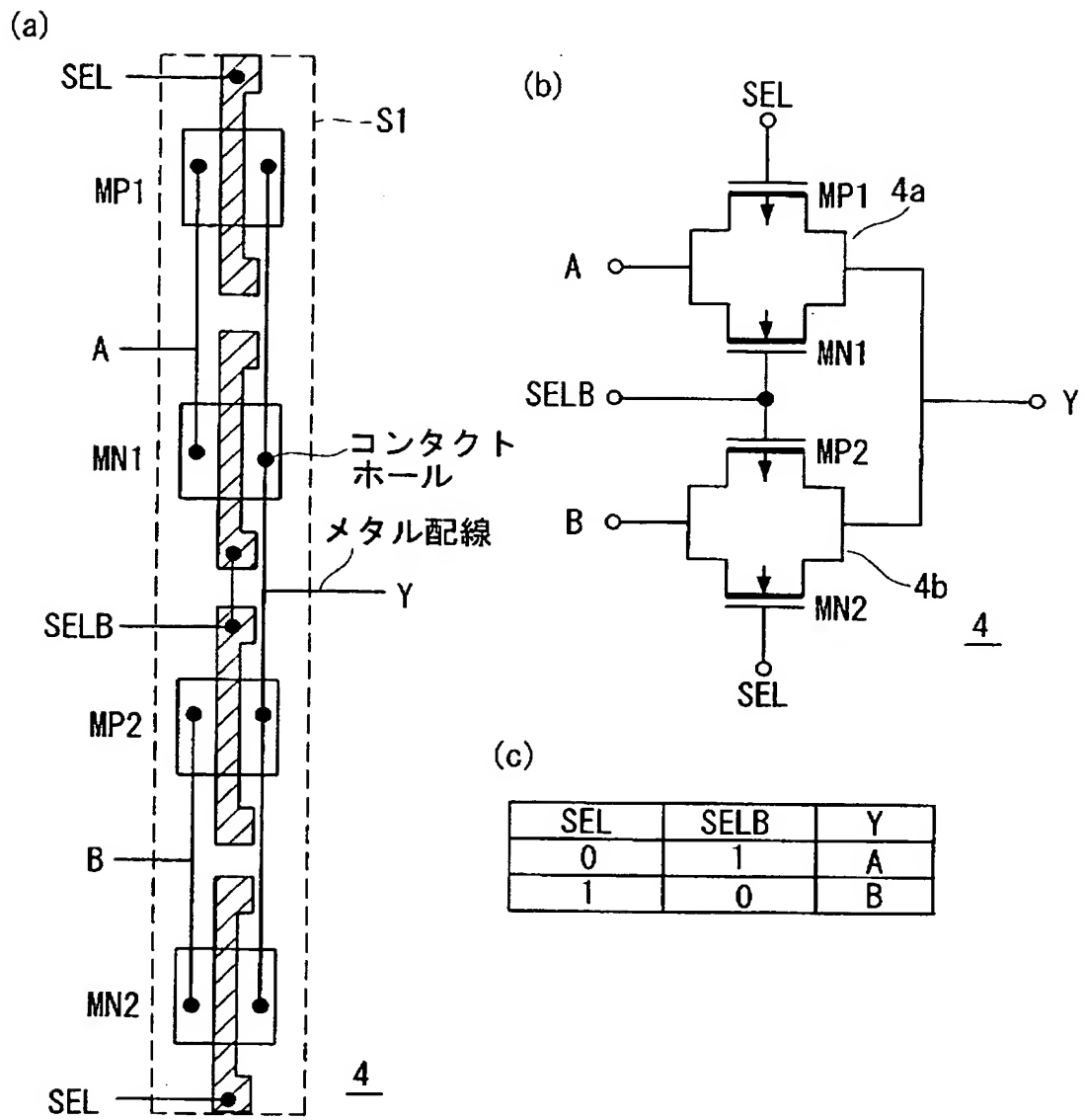
【図 7】



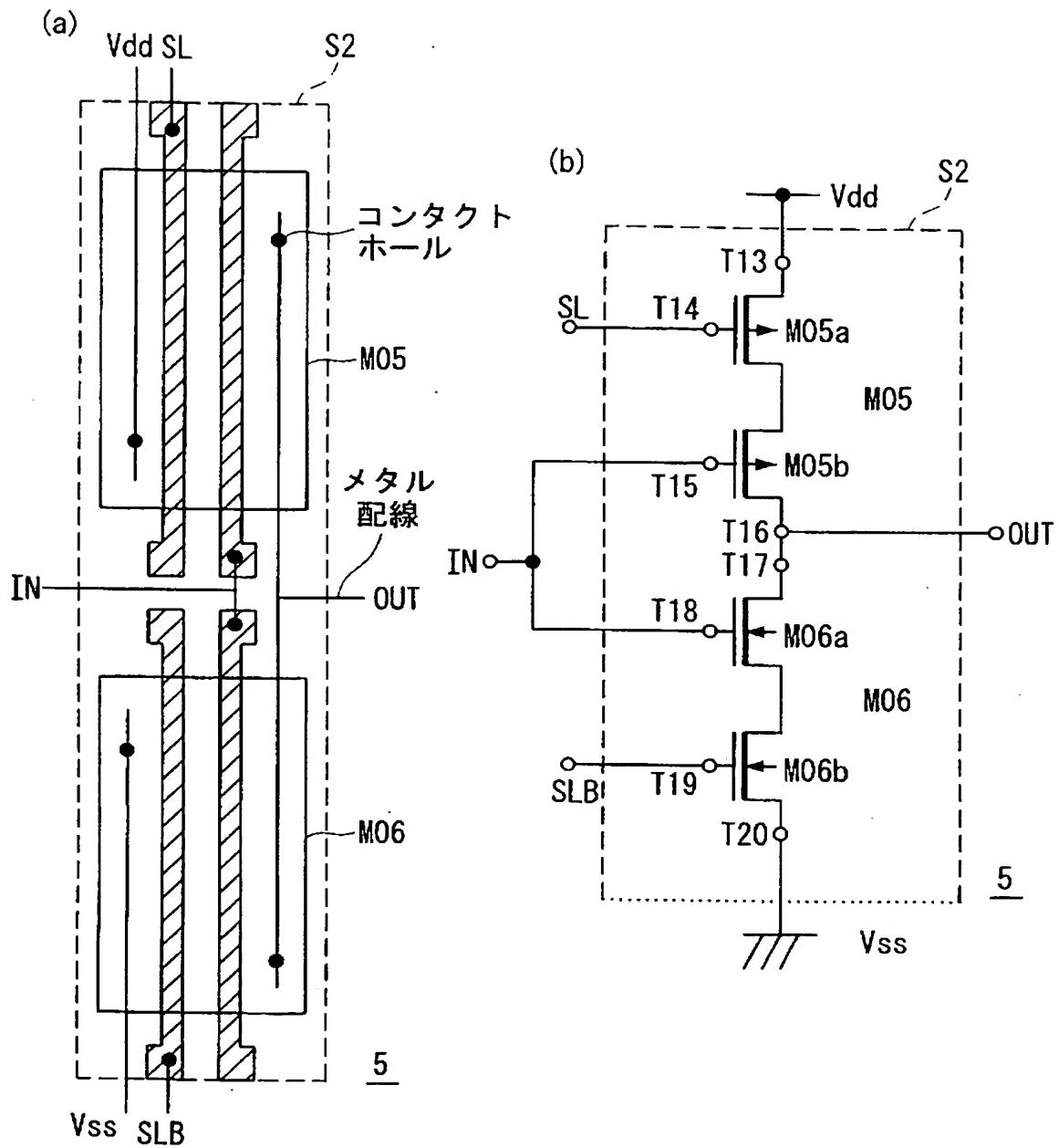
【図 8】



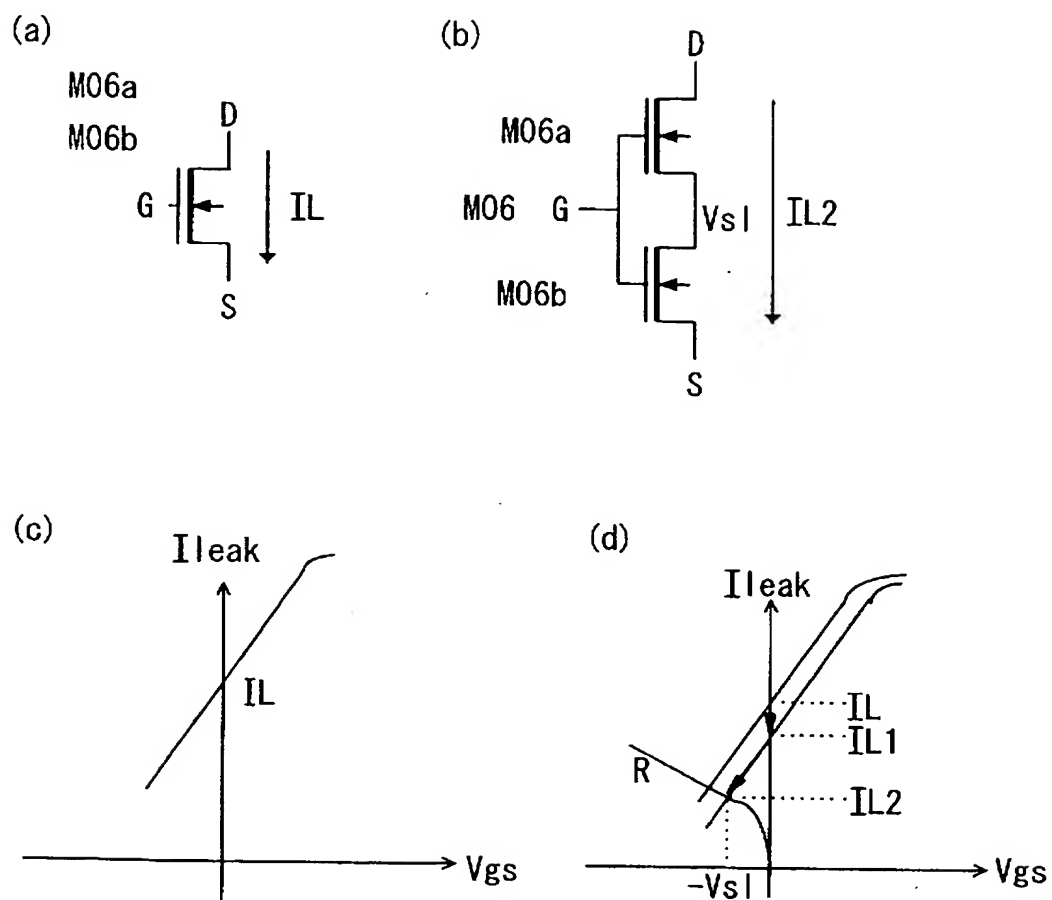
【図 9】



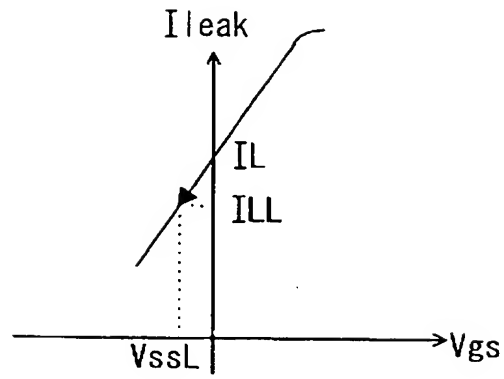
【図 10】



【図 11】

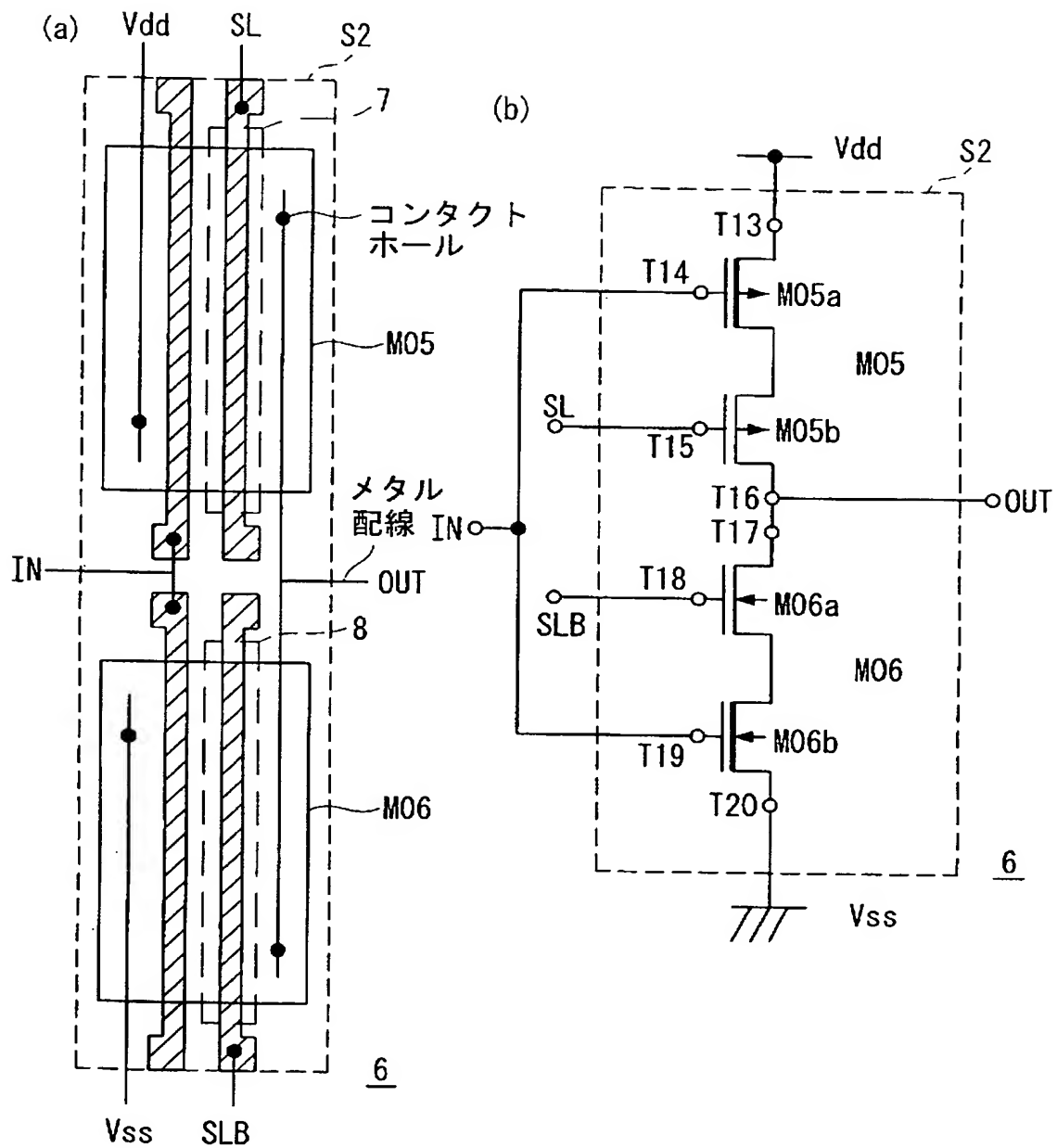


【図 12】

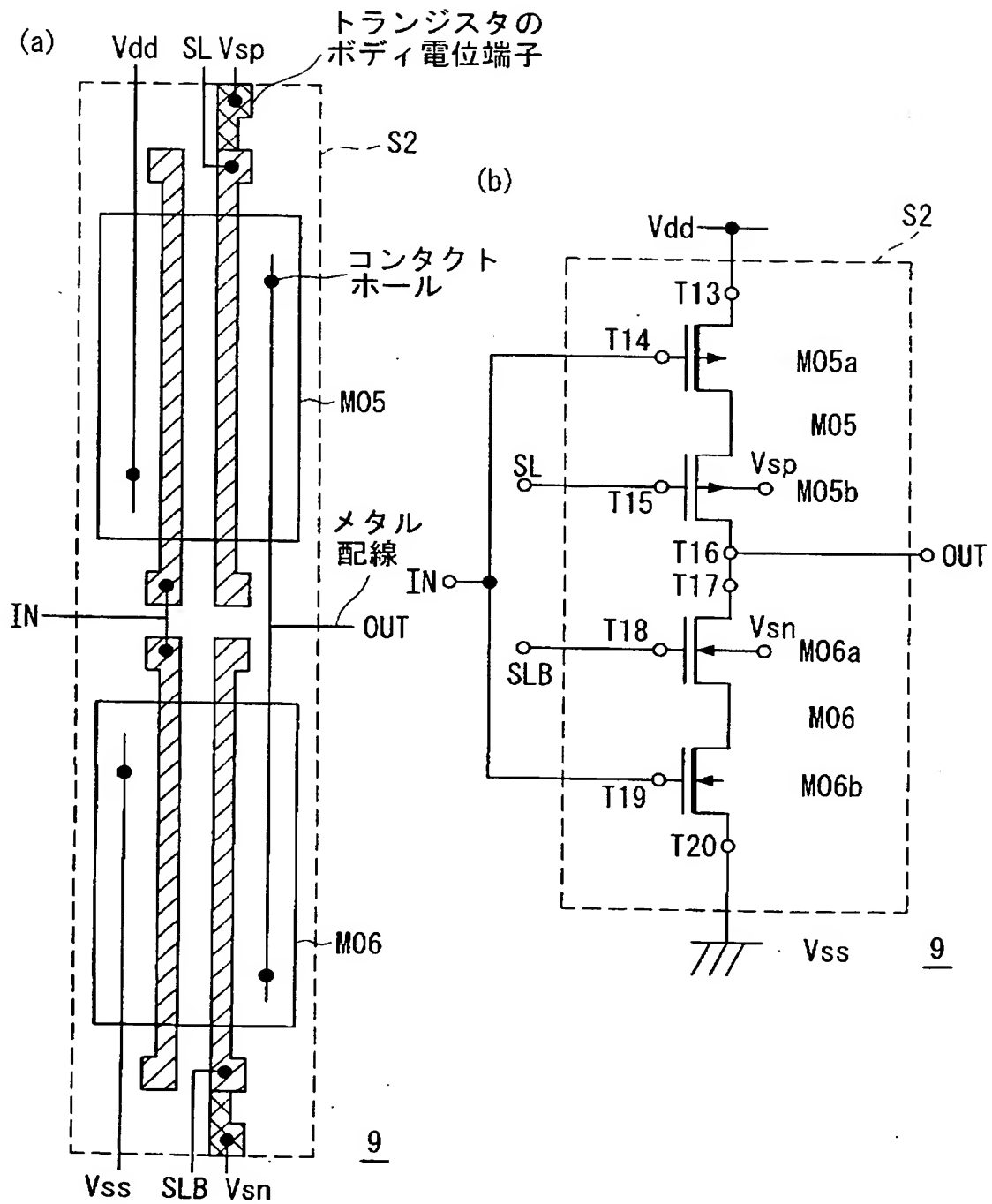




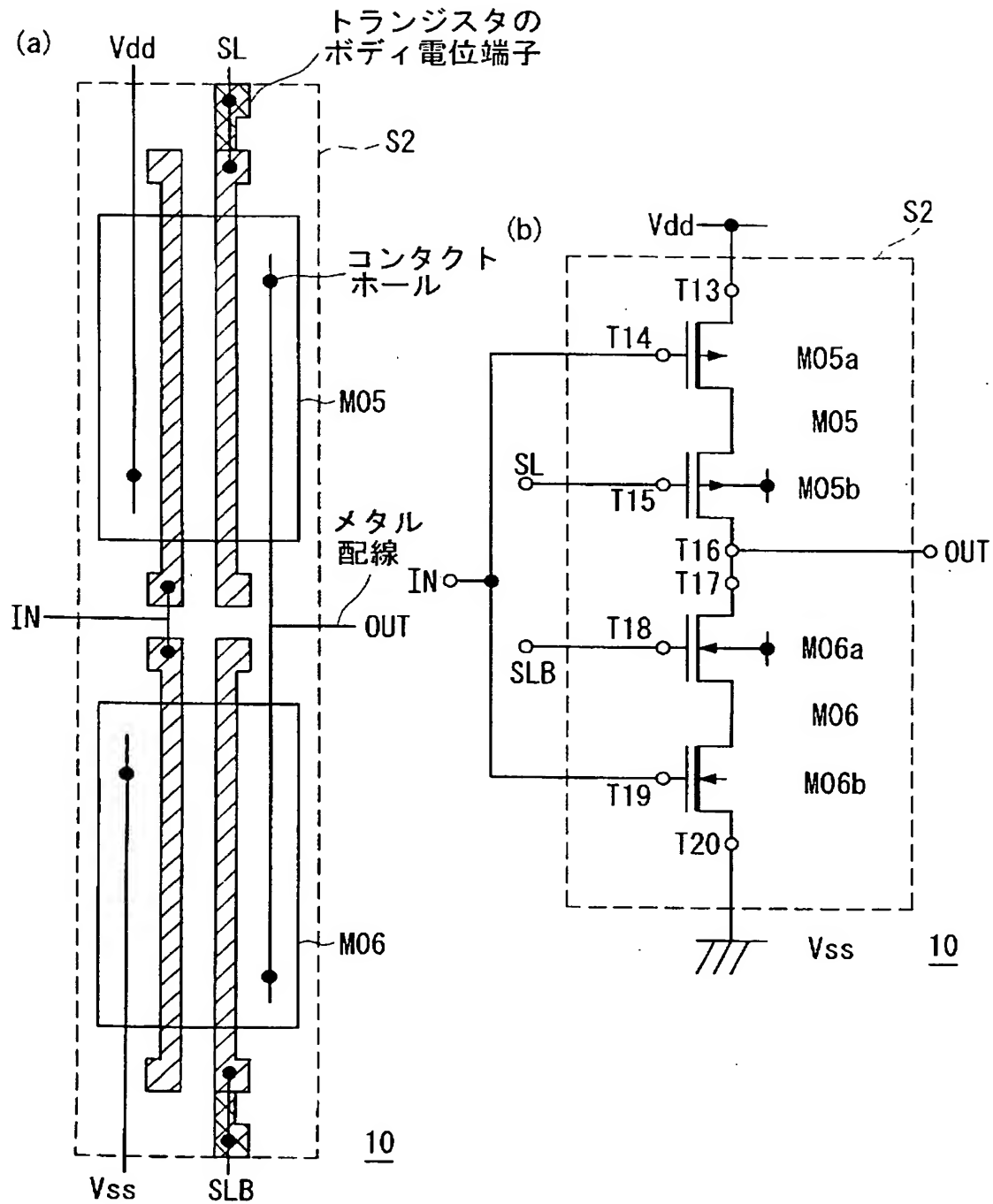
【図 13】



【図 14】

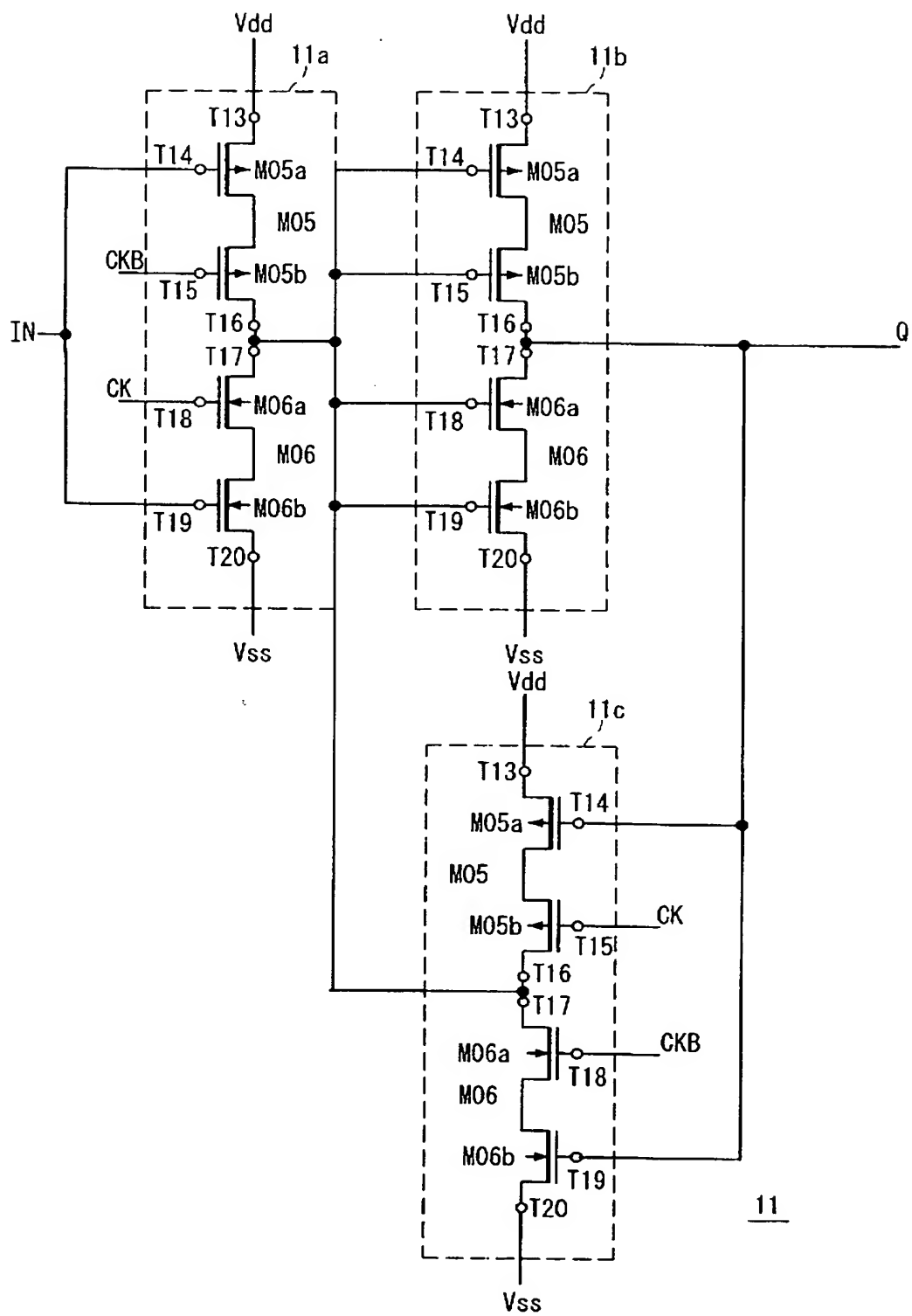


【図 15】

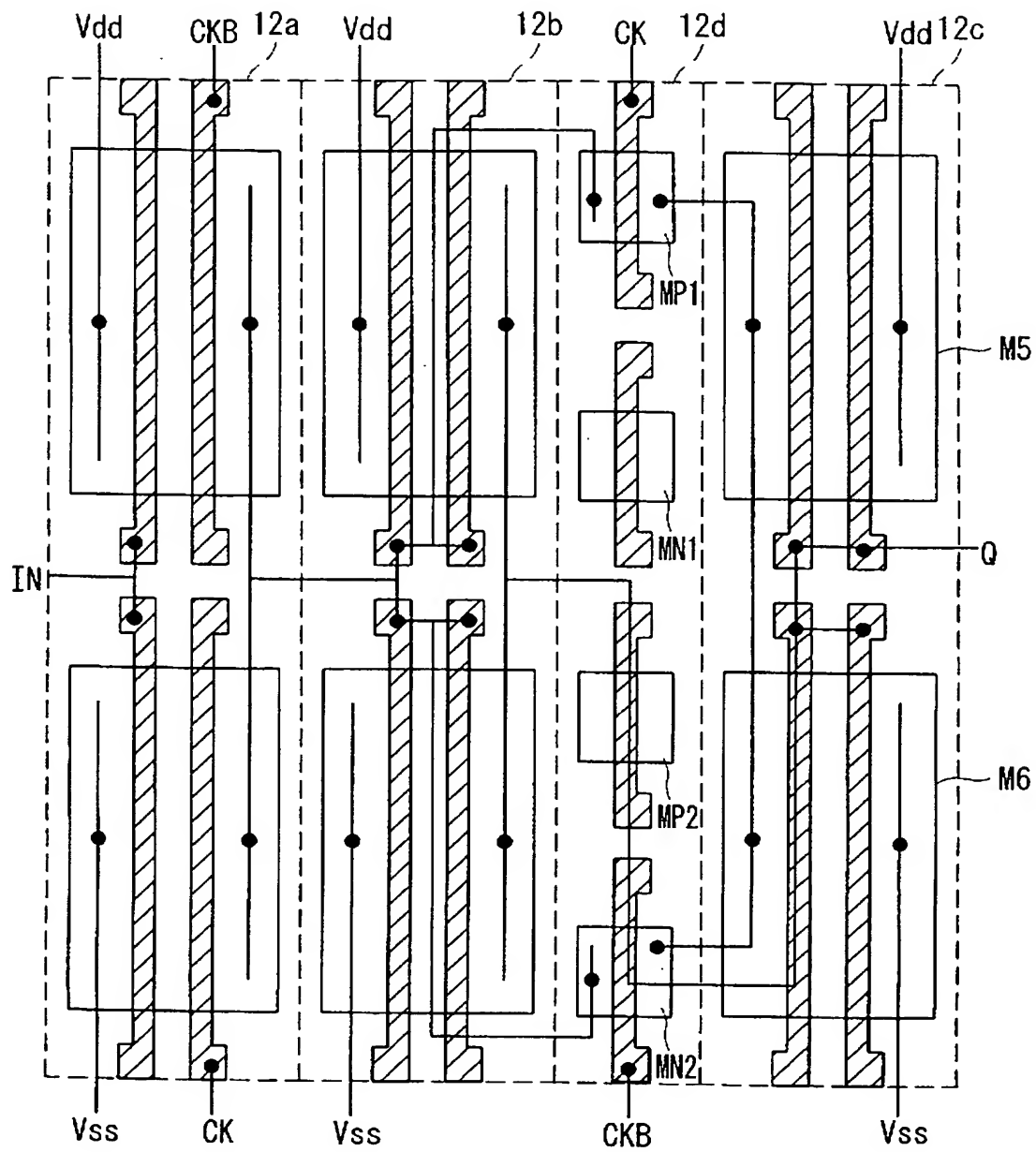




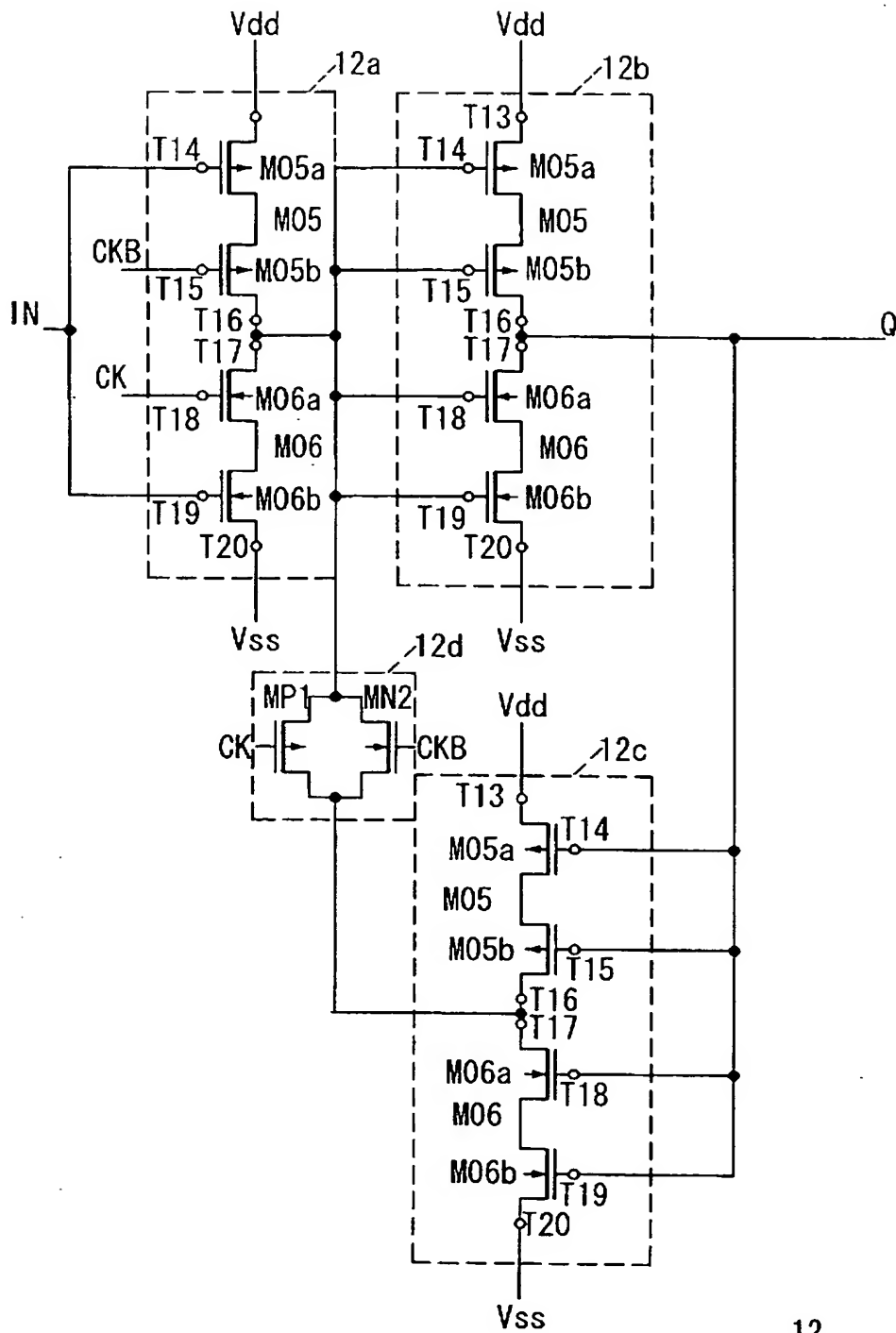
【図 17】



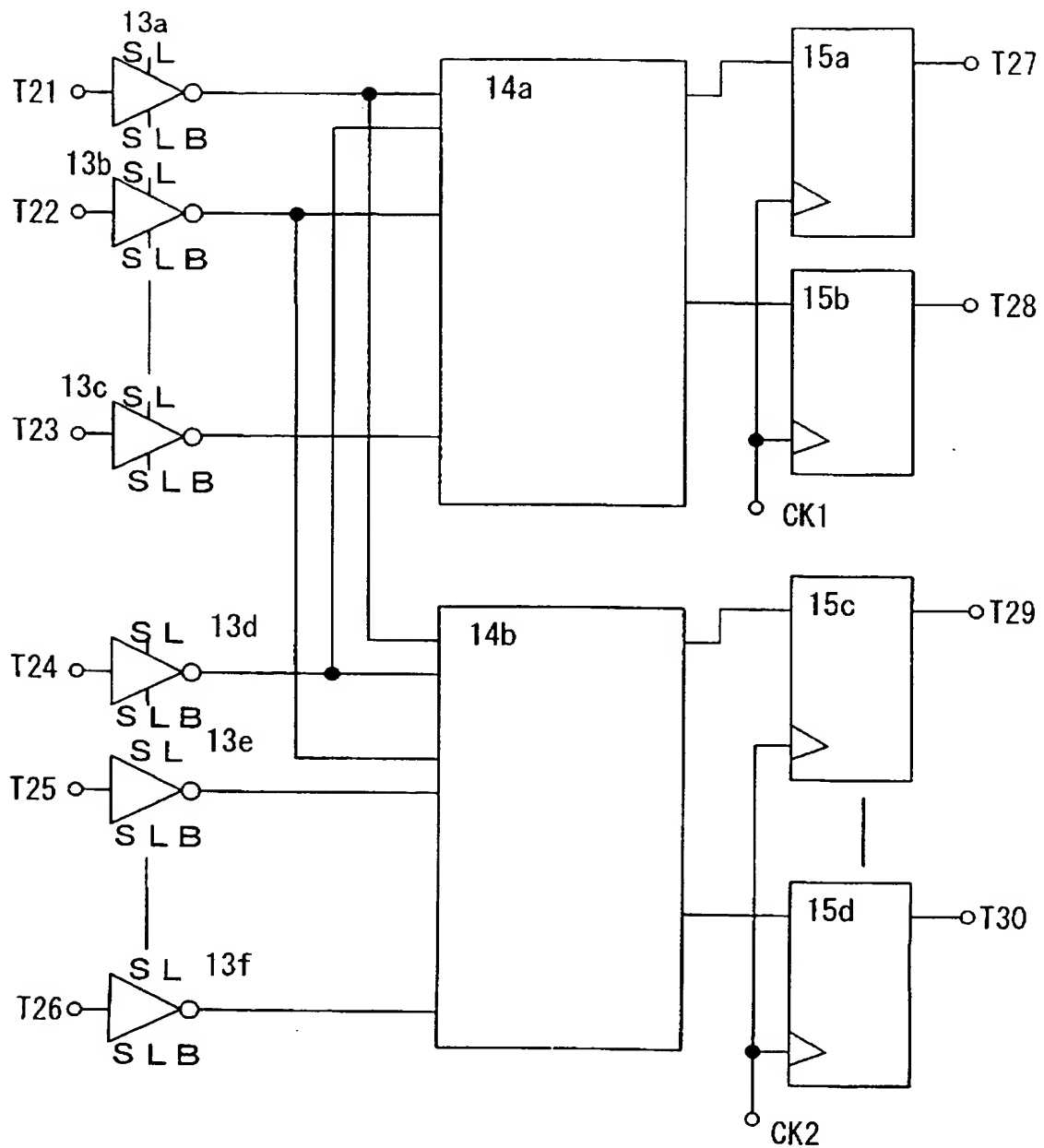
【図 18】



【図 19】

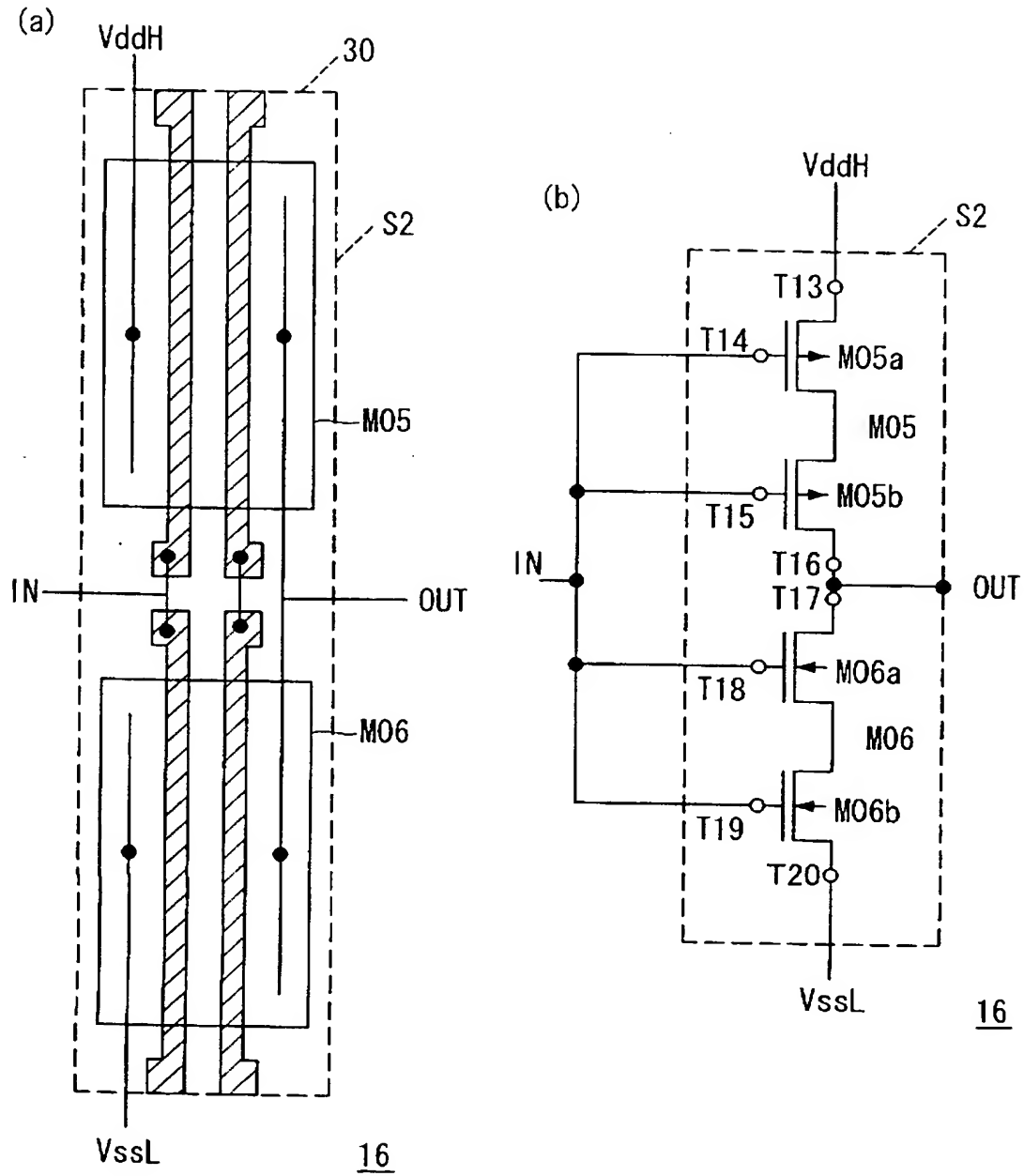


【図 20】

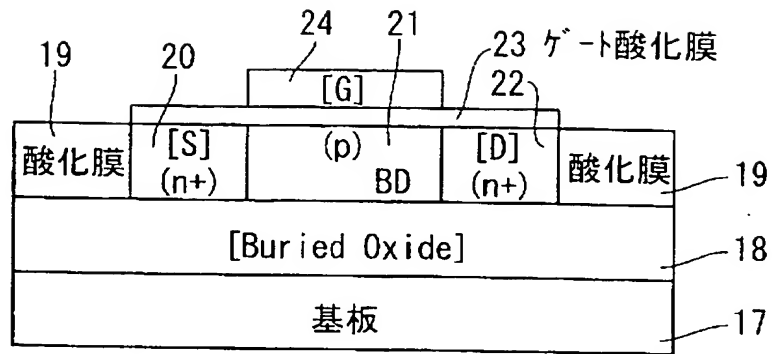




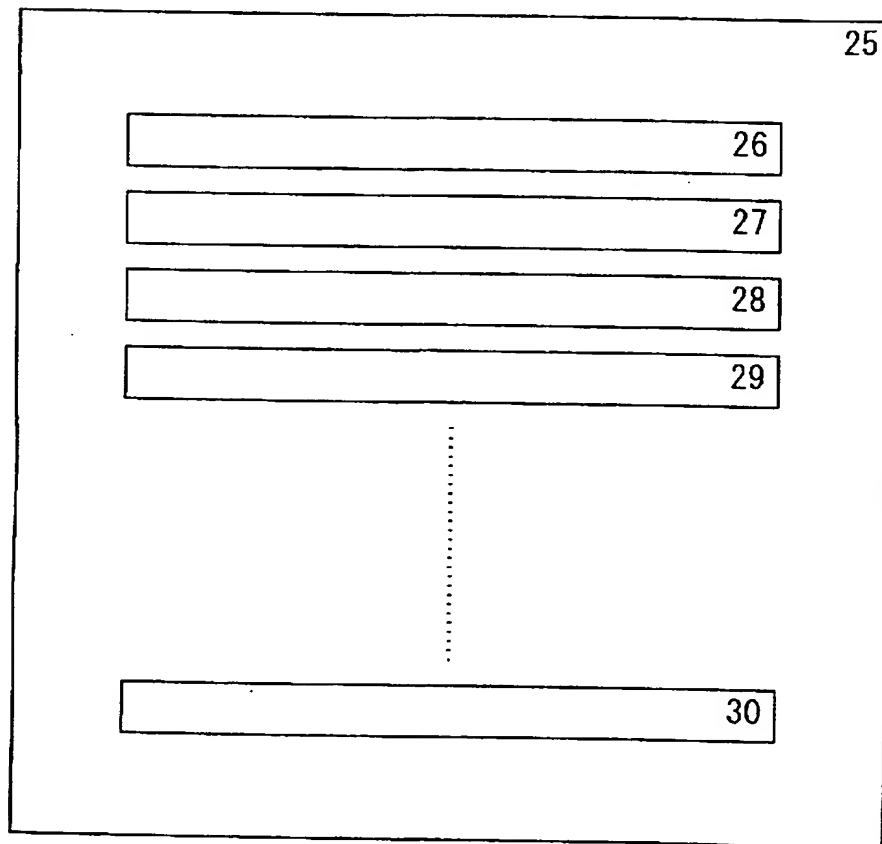
【図 21】



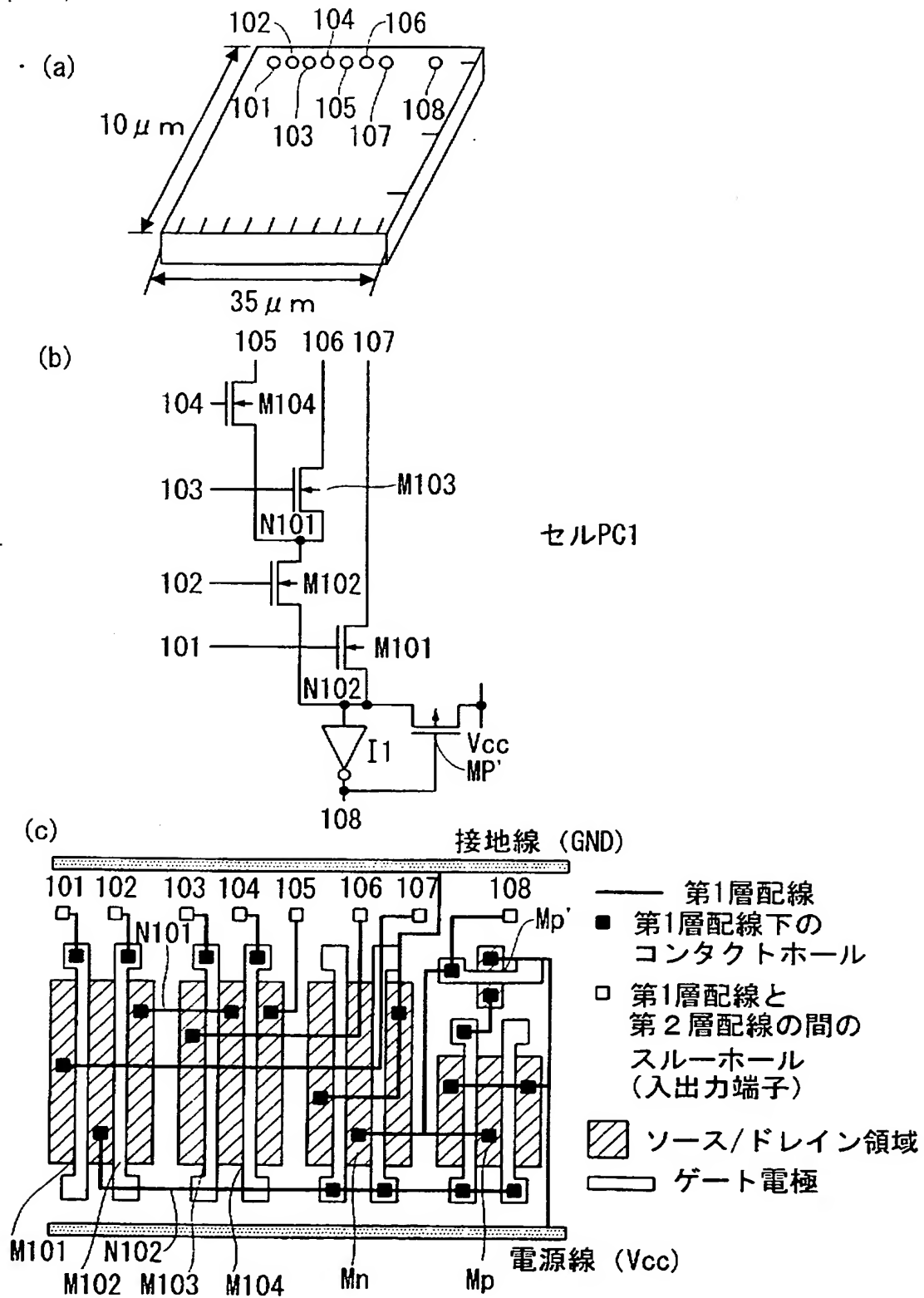
【図 2 2】



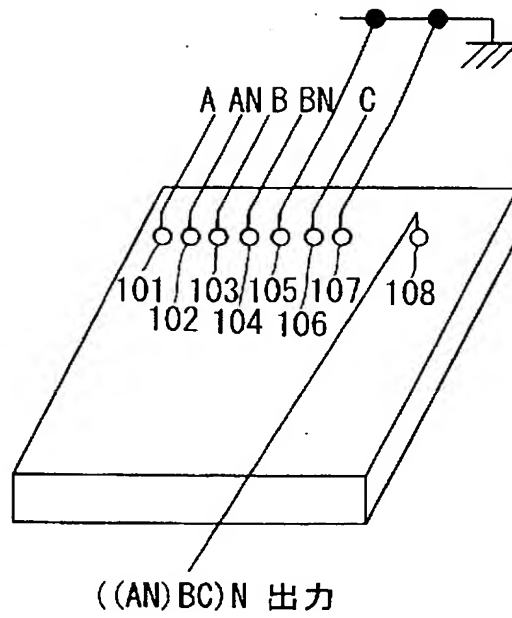
【図 2 3】



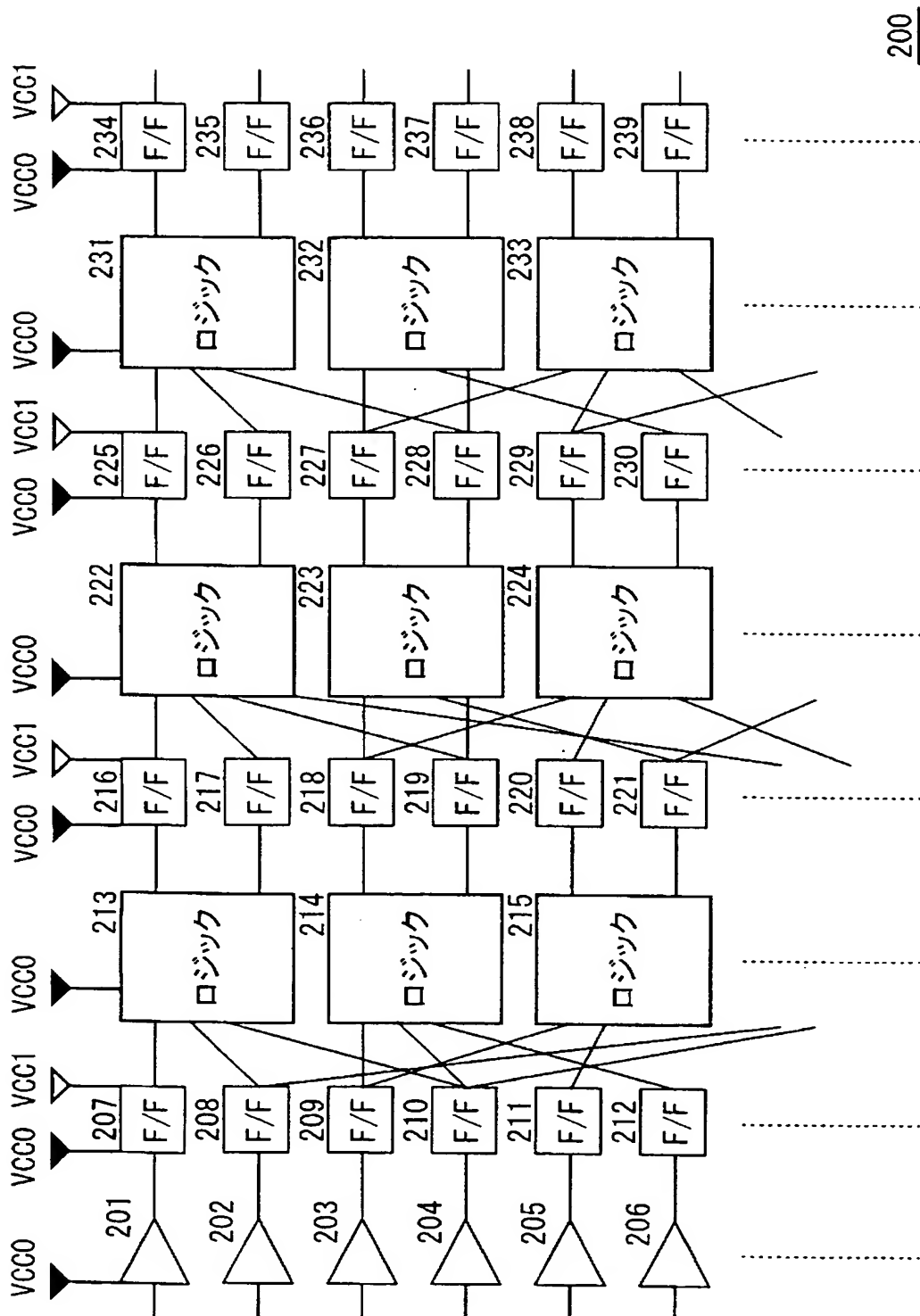
【図 24】



【図 25】

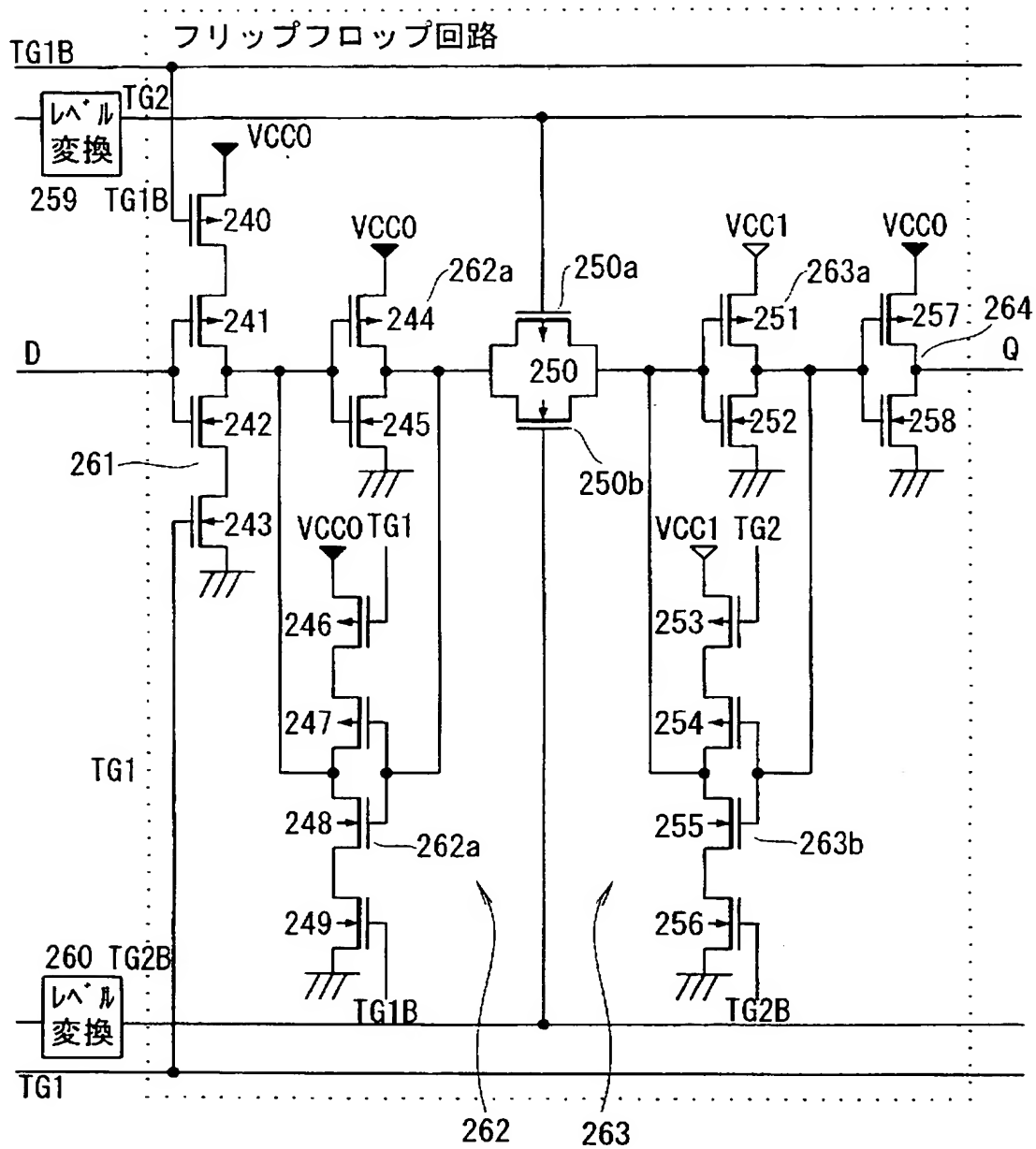


【図 26】



200

【図 27】



【書類名】 要約書

【要約】

【課題】 より小さいセルサイズで、かつ、少ない種類のセルにより複数種類の論理機能を実現し、待機時のリーク電流を削減すると共に、動作時に電源スイッチによる I R ドロップの影響を無くして動作特性を向上させる。

【解決手段】 スタンダードセル方式またはゲートアレイ方式によって、パストランジスタ論理ネットワークを構成する複数のトランジスタ M01～M04 からなる第 1 セル S1 を用いて論理演算回路を作製し、直列接続された PMOS トランジスタ M05 および直列接続された NMOS トランジスタ M06 からなる第 2 セル S2 を用いて論理演算回路を駆動するドライバ回路、論理演算回路からの出力データを保持するデータ保持回路などを作製する。第 2 セルは、直列接続されたトランジスタからなり、ソースドレイン電圧が分圧されるため、単一のトランジスタに比べてリーク電流が削減される。

【選択図】 図 1

## 認定・付加情報

特許出願の番号	特願 2002-341507
受付番号	50201779162
書類名	特許願
担当官	金井 邦仁 3072
作成日	平成 14 年 11 月 28 日

## &lt;認定情報・付加情報&gt;

## 【特許出願人】

【識別番号】 000005049

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号

【氏名又は名称】 シャープ株式会社

## 【代理人】 申請人

【識別番号】 100078282

【住所又は居所】 大阪市中央区域見 1 丁目 2 番 2 7 号 クリスタル  
タワー 1 5 階

【氏名又は名称】 山本 秀策

## 【選任した代理人】

【識別番号】 100062409

【住所又は居所】 大阪府大阪市中央区域見 1 丁目 2 番 2 7 号 クリ  
スタルタワー 1 5 階 山本秀策特許事務所

【氏名又は名称】 安村 高明

## 【選任した代理人】

【識別番号】 100107489

【住所又は居所】 大阪市中央区域見一丁目 2 番 2 7 号 クリスタル  
タワー 1 5 階 山本秀策特許事務所

【氏名又は名称】 大塩 竹志

次頁無



特願 2 0 0 2 - 3 4 1 5 0 7

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 0 4 9 ]

1. 変更年月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

大阪府大阪市阿倍野区長池町 2 2 番 2 2 号

氏 名

シャープ株式会社